

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re U.S. Patent Application of )  
SHIBA et al. )  
Application Number: To be Assigned )  
Filed: Concurrently Herewith )  
For: IMAGE DISPLAY DEVICE )  
ATTORNEY DOCKET NO. NITT.0185 )

**Honorable Assistant Commissioner  
for Patents  
Washington, D.C. 20231**

**REQUEST FOR PRIORITY  
UNDER 35 U.S.C. § 119  
AND THE INTERNATIONAL CONVENTION**

Sir:

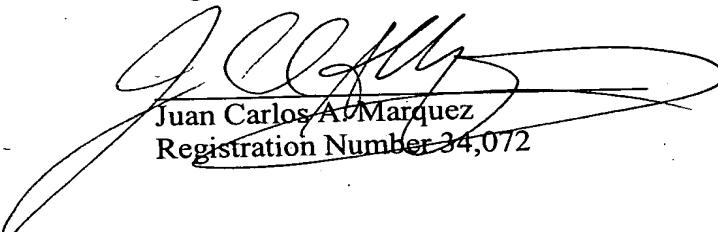
In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of June 19, 2003, the filing date of the corresponding Japanese patent application 2003-174235.

A certified copy of Japanese patent application 2003-174235 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

---

Stanley P. Fisher  
Registration Number 24,344

  
Juan Carlos A. Marquez  
Registration Number 34,072

**REED SMITH LLP**  
3110 Fairview Park Drive  
Suite 1400  
Falls Church, Virginia 22042  
(703) 641-4200  
**February 6, 2004**

**PATENT OFFICE**  
**JAPANESE GOVERNMENT**

This is to certify that the annexed is a true copy of the following application as filed with this office.

Dated this 5th day of December, 2003

Yasuo IMAI  
Commissioner,  
Patent Office  
Certificate No. 2003-3100704

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日      2003年 6月19日  
Date of Application:

出願番号      特願2003-174235  
Application Number:

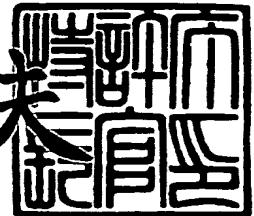
[ST. 10/C] :      [JP2003-174235]

出願人      株式会社日立製作所  
Applicant(s):      株式会社 日立ディスプレイズ

2003年12月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 H03005441A  
【あて先】 特許庁長官 殿  
【国際特許分類】 G09F 9/30  
【発明者】  
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内  
【氏名】 芝 健夫  
【発明者】  
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内  
【氏名】 寺尾 元康  
【発明者】  
【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 280 番地 株式会社日立製作所中央研究所内  
【氏名】 松岡 秀行  
【特許出願人】  
【識別番号】 000005108  
【氏名又は名称】 株式会社 日立製作所  
【特許出願人】  
【識別番号】 502356528  
【氏名又は名称】 株式会社 日立ディスプレイズ  
【代理人】  
【識別番号】 100075096  
【弁理士】  
【氏名又は名称】 作田 康夫  
【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

複数の画素により構成された表示部と、該表示部の制御を行う制御部とを有する画像表示装置において、前記画像表示装置が画像表示用メモリを TFT により構成した不揮発性相変化記憶装置を有することを特徴とする画像表示装置。

【請求項 2】

前記各画素が、表示データを保持する機能を有することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】

前記表示部が液晶により構成されることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

前記表示部が有機発光ダイオードにより構成されることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】

複数の画素により構成された表示部と、該表示部の制御を行う制御部とを有する画像表示装置において、前記画像表示装置が画像表示用メモリを TFT により構成した不揮発性相変化記憶装置を有し、該不揮発性相変化記憶装置が、1 個以上の可変抵抗記憶素子と 1 個以上の TFT とで構成されることを特徴とする画像表示装置。

【請求項 6】

前記可変抵抗記憶素子が、Te、Se、S のうちの、少なくとも 1 元素を含むカルコゲナイト材料となることを特徴とする請求項 5 に記載の画像表示装置。

【請求項 7】

前記可変抵抗記憶素子が、リソグラフィ法を用いて製造され、マスク合わせずれによる抵抗値変動がないことを特徴とする請求項 5 に記載の画像表示装置。

【請求項 8】

前記可変抵抗記憶素子が、A1以外の材料により覆われ、A1材料と直接接するがないことを特徴とする請求項5に記載の画像表示装置。

#### 【請求項9】

前記可変抵抗記憶素子が、可動イオンの影響を抑制できる複数の保護膜により、上下から保護されることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項10】

前記各画素が、表示データを保持する機能を有することを特徴とする請求項5に記載の画像表示装置。

#### 【請求項11】

前記不揮発性相変化記憶装置が制御部に含まれ、1フレームの表示データを保持するフレームメモリであることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項12】

前記表示部が液晶により構成されることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項13】

前記表示部が有機発光ダイオードにより構成されることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項14】

前記TFTの導通時の抵抗が10kΩから1000kΩの間であり、前記可変抵抗の高抵抗状態が1000kΩ以上であることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項15】

前記記憶素子が、回路を構成する配線領域や、表示光を遮蔽する領域に配置されることを特徴とする請求項5に記載の画像表示装置。

#### 【請求項16】

複数の画素により構成された表示部と、該表示部の制御を行う制御部とを有する画像表示装置において、前記画像表示装置が画像表示用メモリをTFTにより構成した不揮発性相変化記憶装置を有し、該不揮発性相変化記憶装置が、1個の可変抵抗記憶素子と1個のTFTとで構成される記憶セルの組合せにより構成

され、1個の記憶セルが1ビット以上の表示データを保持することを特徴とする画像表示装置。

**【請求項17】**

前記可変抵抗記憶素子が、Te、Se、Sのうちの、少なくとも1元素を含むカルコゲナイト材料よりなることを特徴とする請求項16に記載の画像表示装置。

**【請求項18】**

前記可変抵抗記憶素子が、リソグラフィ法を用いて製造され、マスク合わせずれによる抵抗値変動がないことを特徴とする請求項16に記載の画像表示装置。

**【請求項19】**

前記可変抵抗記憶素子が、A1以外の材料により覆われ、A1材料と直接接するがないことを特徴とする請求項16に記載の画像表示装置。

**【請求項20】**

前記可変抵抗記憶素子が、可動イオンの影響を抑制できる複数の保護膜により、上下から保護されることを特徴とする請求項16に記載の画像表示装置。

**【請求項21】**

前記不揮発性相変化記憶装置が制御部に含まれ、1フレームの表示データを保持するフレームメモリであることを特徴とする請求項16に記載の画像表示装置。

**【請求項22】**

前記表示部が液晶により構成されることを特徴とする請求項16に記載の画像表示装置。

**【請求項23】**

前記表示部が有機発光ダイオードにより構成されることを特徴とする請求項16に記載の画像表示装置。

**【請求項24】**

前記TFTの導通時の抵抗が10kΩから1000kΩの間であり、前記可変抵抗の高抵抗状態が1000kΩ以上であることを特徴とする請求項16に記載の画像表示装置。

**【請求項 25】**

前記記憶素子が、回路を構成する配線領域や、表示光を遮蔽する領域に配置されることを特徴とする請求項 16 に記載の画像表示装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は高画質化が容易な画像表示装置に係り、特に画像表示用メモリを TFT により構成した低電力化が可能な画像表示装置に関する。

**【0002】****【従来の技術】**

第 1 の従来技術として、薄膜トランジスタ (Thin Film Transistor；以下、TFT と称する。) を用いたアクティブマトリクス型表示装置において、同一製造工程の TFT により構成された不揮発性メモリを同一基板上に内蔵した表示装置があり、例えば特許文献 1、特許文献 2 に開示されている。これらの表示装置の構成を図 16 に示す。表示部 100 には、画素 104 がマトリクス状に配置されている（図面の簡略化のため、画素 104 は 1 個だけ記載した）。いずれの公知例でも、不揮発性半導体メモリとして、電荷蓄積層とフローティングゲートを持った EEPROM (Electrically Erasable and Programmable Read Only Memory) が用いられており、表示部 100 の周辺に、信号系回路 101、走査系回路 102、TFT-EEPROM よりなる不揮発性半導体メモリ 103 を配置した構成をとっている。このようにすることで、LSI を用いずに不揮発性メモリ機能を表示装置に内蔵することができる。

**【0003】**

また、第 2 の従来技術として同一製造工程の TFT により構成された半導体メモリを同一基板上に内蔵し、フレームメモリに応用した液晶表示装置があり、例えば特許文献 3 等に詳しく記載されている。この表示装置の構成を図 17 に示す。画素 115 が表示領域 110 にマトリクス状に配置され、画素 115 はゲート線 117、信号線 116 およびゲート線 117 を介して DA 変換回路 113 および走査系回路 114 に接続され、DA 変換回路 113 には、フレームメモリ 11

2 および信号系回路 111 が接続されている。このフレームメモリ 112 は、メモリセルが 1 トランジスタと 1 容量により構成される D R A M (Dynamic Random Access Memory) であり、1 フレームの表示情報を記憶しているため、外部からの表示データの書き込みが停止しても表示を継続することができる。

#### 【0004】

別の第 3 の従来技術として、同一製造工程の T F T により構成された半導体メモリを同一基板上に内蔵し、1 ビット画素メモリに応用した液晶表示装置があり、例えば特許文献 4 等に詳しく記載されている。この表示装置の構成を図 18 に示す。画素 123 が表示部 120 にマトリクス状に配置され、画素 123 はゲート線 126 と交流駆動信号線 127 を介して走査系回路 122 に、および正信号線 124 と負信号線 125 を介して信号系回路 121 に接続されている。画素 123 には 1 ビットの S R A M (Static Random Access Memory) が設けられている。これによって本液晶表示パネルは、表示部へのデータ出力を停止しても、1 ビットの画像表示を継続することができる。

#### 【0005】

なおこれらの従来技術のメモリ回路は、S i 半導体 - T F T を用いて構成されている。以上のような従来技術によれば、多様なメモリ機能を S i 半導体 T F T により内蔵することができ、表示装置の高機能化や消費電力の削減を可能にする。

【特許文献 1】特開2000-252373号公報

【特許文献 2】特開2001-326289号公報

【特許文献 3】特開平11-85065号公報

【特許文献 4】特開平8-286170号公報

#### 【発明が解決しようとする課題】

今後、表示機能や表示システムを同一基板上に内蔵する平面表示装置の方向性として、内蔵する機能やシステムを L S I と T F T 回路で分担し、画素メモリやフレームメモリなどの画像表示用メモリを T F T により構成するようになる。またその表示装置の特徴として、画素数の増大による高精細化と表示領域以外の周辺領域面積の縮小と低消費電力化が必要になるため、それに伴ってメモリ

容量を増加しメモリの面積と消費電力を低減する必要が生ずる。さらにその製造プロセスの課題としては、LSIと比較するとかなり低いプロセス温度で、表示装置を製造することが必要である。ところが上記従来技術の延長上では、これらの課題を同時に満足して、記憶画像データの多ビット化を十分に両立させることは困難であった。

#### 【0006】

すなわち、電荷蓄積を利用したSi半導体EEPROMを用いた第1の従来例においては、プロセス温度が低いために絶縁膜や多結晶Si中の電荷捕獲準位が多く、これに基づく記憶情報のバラツキが大きく、また TFT特性のバラツキもLSIに比べると大きいため、メモリの高容量化と低電圧化が難しい問題がある。

#### 【0007】

また、Si半導体DRAMを用いた第2の従来例においては、画素数の増大に際してメモリセルの数が増大することによって、信号電圧の変化量は極めて小さなものになるため、より低S/Nの信号電圧を高性能な回路により増幅しなければならなくなる。しかし、TFTはLSIに比べてプロセス温度が低く、加工寸法も大きいためTFT回路の性能が低く、これで低S/Nの信号電圧を精度良く増幅することが難しくなる。また回路の複雑化や消費電力を増加させることになり、やがてはメモリセルの数に制限されて画素数の増加には限界が来てしまう問題がある。

#### 【0008】

また、画素内にSRAMを設ける第3の従来例では、SRAMのトランジスタ数が多いために必然的に画素構造が複雑になってしまうという問題点を有する。画素構造が複雑化すると、画素の開口率低下による輝度低下をもたらし、液晶表示装置の場合には、反射モードで使用するときの低消費電力化と透過モードで使用するときの高輝度化の両立ができなくなる。さらに面積階調などの方法による多ビットの画素データ表示や、高精細化を困難にする問題がある。

#### 【0009】

##### 【課題を解決するための手段】

上記課題は、以下の手段により解決できる。すなわち、第1および第2の実施形態によれば、画像データを保持するメモリを有する画素をマトリクス上に配置した表示部と、画素に表示信号を入力するための信号系回路と、画素を走査する走査系回路を有する画像表示装置において、各画素メモリのデジタル画像データ保持手段は、電気抵抗の形で所定の時間以上記憶するための、1個以上のスイッチと記憶素子よりなる1ビットのデータ保持可能なメモリ回路で行う。この記憶素子は、低温な製造方法で形成することができる。こうすることにより、低温プロセスでのメモリ回路形成とメモリ機能部分の面積縮小が可能になり、上記課題を解決することができる。

#### 【0010】

また第3および第4の実施形態によれば、画素をマトリクス上に配置した表示部と、画素に表示信号を入力するための信号系回路と、画像データを保持するフレームメモリと、DA変換回路と、画素を走査する走査系回路を有する画像表示装置において、フレームメモリのデジタル画像データ保持手段は、電気抵抗の形で所定の時間以上記憶するための1個以上のスイッチと記憶素子よりなる、1ビットのデータ保持可能な複数のメモリセルで行う。この記憶素子は、低温な製造方法で形成することができる。こうすることにより、低温プロセスでのメモリセル形成とメモリセルの面積縮小が可能になり、上記課題を解決することができる。

#### 【0011】

更にこれらに加えて多ビットの画像データを表示するという上記課題は、以下の手段を用いることで、より効果的に解決できる。すなわち、上記デジタル画像データ保持を行うメモリセルや各画素内に、nビットの表示信号を電気抵抗の形で所定の時間以上記憶するための、多値の電気抵抗の形で記憶することができる1個の記憶素子を設ける。この記憶素子は、低温な製造方法で形成することができる。こうすることによって、低温プロセスでのメモリ回路やメモリセル形成とメモリ回路やメモリセルの面積縮小が可能になり、上記課題を解決することができる。

#### 【0012】

## 【発明の実施の形態】

### (第1の実施例)

以下に図1～図5を用いて、本発明の第1の実施例を説明する。

始めに本実施例の全体構成に関して述べる。図1は、多結晶Si-TFT表示パネルの構成図であり、カルコゲナイト材料を用いた不揮発性相変化メモリによる画素メモリを有する。本実施例は、バックライトを用いた透過モード表示と、外光を利用した反射モード表示の双方の機能を兼ね備えた部分透過型液晶表示装置を例に取ったが、透過型液晶表示装置や、反射型液晶表示装置に、本発明を実施する場合は、反射領域のレイアウトを必要に応じて変更すればよい。また、他のTFT表示装置、例えば有機EL表示装置に本発明を実施する場合は、図1の液晶表示素子10を有機発光ダイオードに変えればよく、TFTおよびメモリ回路の製造方法やレイアウトは、本実施例とすべて同じである。

### 【0013】

図1において、メモリTFT8と記憶素子9と等価容量10であらわされる液晶表示部を有する画素2が、表示部にマトリクス状に配置され（図面の簡略化のため、図1には画素2を9個だけ記載した）、記憶素子9の他端は信号線SLに接続され、画素2はゲート線GLと画素線PLを介して走査系回路5に、および信号線SL、書き込み回路7を介して信号系回路4に接続されている。メモリTFT8と記憶素子9により構成される不揮発性メモリにより、各画素で1ビットの画像データを保持することができる。本実施例は、赤、緑、青を表示する画素が、それぞれ面積の異なる3画素で構成され、合計9画素でそれぞれの色の階調を表示する面積階調方式の液晶表示装置である。

### 【0014】

図2には、図1の画素2の平面構造を表した平面図であり、2つの画素の一部を示している。メモリTFT8は多結晶Si層PSとゲート電極GEとコンタクトホールCNからなり、ドレイン電極が局部配線LCにより、記憶素子9と液晶に電圧を印加するための透明画素電極PEに接続されている。この局部配線LCは必要に応じて面積を大きくし、反射板の機能を兼ねている。ビアホールVCは、局部配線LCと画素電極PEを接続するための開口部である。メモリTFT8

のもう片方のソース電極は、局部配線LCを介して画素線PLに接続されている。ゲート電極GEは同一金属層で形成されるゲート線GLに接続されている。

### 【0015】

記憶素子9は、Te, Se, Sのうちの少なくとも一元素を含む、膜厚100nm前後のカルコゲナイト膜CHからなる可変抵抗であり、局部配線LCを介して片方の電極がメモリ TFT 8に、もう片方の電極が信号線SLに接続される。この記憶素子は、パルス電圧の印加によってカルコゲナイト膜を結晶化、および非晶質化させることができ、通常は高電圧短パルス（例えば20ns）によって高抵抗の非晶質状態にし、低電圧の長め（例えば50ns）のパルスによって低抵抗の結晶状態にするが、パルス幅か電圧を同じにしても良い。図2の平面図では、紙面の都合で記憶素子9の一部しか示されていないが、実際は画素領域の横一辺に沿うように記憶素子9が配置されている。本実施例の場合、記憶素子9の長さはほぼ20μm前後であり、記憶素子9の抵抗値が、結晶状態でほぼ100kΩ前後、非晶質状態でほぼ100MΩ前後であった。

### 【0016】

以下、本実施例の動作の概要を説明する。走査系回路5がゲート線GLを介して所定の画素行のメモリ TFT を開閉することによって、信号系回路4が信号線SLに出力した画像データを、1ビット毎にメモリ TFT 8および記憶素子9で構成されるメモリに入力し、書き込み回路7により電気抵抗の形で書き込む。この記憶素子に書き込まれた画像データにより、液晶10に印加する電圧を制御することにより、画像の表示、すなわち光の透過か非透過かを制御することができる。この時、面積が異なる3個の画素の表示組み合わせを用いて、各色表示の階調に対応させることにより、フルカラー表示が可能になる。

次に、図2中にAA' と一点鎖線で示した、メモリ TFT と記憶素子の部分の製造方法と断面構造を、図3の製造工程断面図により説明する。

まず図3 (a) に示したように、ガラス基板20に、Si窒化膜やPドープSi酸化膜からなる第1のパシベーション膜21とSi酸化膜22とアモルファスSi膜をプラズマCVD (Chemical Vapor Deposition) 法により堆積し、レーザアニール法や固相成長法により、このアモルファスSi膜を結晶化することによ

り多結晶Si膜PSを形成した。ここで、多結晶Si膜PSを形成する他の方法として、低温CVD法で直接多結晶Si膜を、Si酸化膜22の上に堆積することもできる。その後選択的に多結晶Si膜PSをエッティングすることにより、TFT形成領域に多結晶Si膜PSを島状に残し、ゲートSi酸化膜23をプラスマCVD法により堆積し、例えばMoを主成分としたゲート膜を堆積、選択エッティングを行い、ゲート電極GEとゲート線GLを形成した。

### 【0017】

次に図3 (b) に示したように、イオン打ち込み法やイオンドーピング法などによる不純物イオンの導入と活性化のための熱処理を行い、ソース拡散層24およびドレイン拡散層25を形成した後、Si窒化膜やPドープSi酸化膜などを含んだ第2のパシベーション膜26をCVD法により堆積した。なおここでは、紙面の都合でn型チャネルのメモリTFTの断面図のみ示しているが、実際には必要に応じて、周辺回路にp型チャネルTFTや、LDD (Lightly Doped Drain) 構造のTFTを形成した。その後、Te, Se, Sのうちの少なくとも一元素を含むカルコゲナイト材料からなる、膜厚100nm前後のカルコゲナイト膜CHを、例えば室温や室温に近い低温のスパッタリング法により堆積した。本実施例ではカルコゲナイト材料に、例えばZnとTeが主成分の材料を用いた。その後、カルコゲナイト膜CH上に、Si酸化膜27を堆積した。この時Si酸化膜27の上に、非晶質化するときのカルコゲナイト膜の蒸発や変形を防ぐための、膜厚50nm以上のCr2O3膜や、他の誘電体の層、または誘電体と金属との積層膜を、スパッタリング法により堆積することも可能である。また必要に応じて、例えばレーザアニールやRTA (Rapid Thermal Annealing) により、カルコゲナイト膜CHを結晶化することも可能である。さらにこれらの熱処理は、上記不純物イオン活性化のための熱処理を兼ねることも可能である。

### 【0018】

次に図3 (c) に示したように、リソグラフィ法を用いて、記憶素子を形成する領域に選択的にレジスト膜28を残し、このレジスト膜28をマスクに用いて、ドライエッティング法によりカルコゲナイト膜CHを選択的に除去し、続いて同じレジスト膜28をマスクに用いて、ウェットエッティング法によりSi酸化膜2

7を選択的に除去した。この時S i酸化膜27は、サイドエッチングによりレジスト膜28より後退してエッチングされた。

### 【0019】

次に図3 (d)に示したように、レジスト膜を除去し、ゲート電極材料と同じ例えばMoを主成分としたバリアメタル膜BMと、局部配線LCや信号線SLや反射板に用いるAl膜、あるいは例えばAlとTiの積層膜のようなAl膜を主材料とした金属積層膜を堆積した。このバリアメタル膜BMは、その他の材料、例えばWやTiNなどでも可能である。その後、配線および反射板として用いる領域以外の金属積層膜とバリアメタル膜BMを、例えばドライエッチング法やウエットエッチング法により選択的に除去した。この時、カルコゲナイト膜CHのS i酸化膜27と、配線LCのいずれにも覆われていない領域29が、同時にエッチングされた。このS i酸化膜27と配線を、図2の記憶素子の平面図で説明すると、S i酸化膜残存部が波線で示した領域11、配線が波線で示した領域LCおよびSLである。従って、斜線で示した領域12のカルコゲナイト膜が同時に除去されることになり、ドッグボーン形状の記憶素子が形成された。この製造方法ため、抵抗の長さや幅がリソグラフィの合わせずれの影響を受けることがなく、自己整合的に抵抗値が決定された。

### 【0020】

次に図3 (e)に示したように、必要に応じて金属積層膜LCと同一膜よりも反射板形成工程を経た後、S i窒化膜やPドープS i酸化膜からなる第3のパシベーション膜30と、例えば有機材料からなる低誘電率の第4のパシベーション膜31を堆積した。その後、水素アニールやプラズマ処理による水素化処理を行った。

### 【0021】

最後に、図2に示したビアホールVC (図3には示さず)を開口し、透明電極膜を堆積し、所望の形状になるように透明電極PE (図3には示さず)を形成し、配線層LCと透明電極PEを接続した。その後液晶工程に進み、透過モード表示と反射モード表示の双方の機能を兼ね備えた液晶表示装置を完成した。

### 【0022】

以上の製造工程では、基板に耐熱性の低いガラス基板を用いたため、製造中の温度を全て基板の耐熱温度以下（例えば600°C以下）あるいは、それより温度が高くても製造に不都合をもたらさないような非常に短時間な処理を行った。また自己整合プロセスを用いたため、1回のリソグラフィ工程の追加だけで、相変化画素メモリを表示装置に付加することができ、またリソグラフィ工程の合わせずの影響を受けずに、記憶素子9の抵抗値を決めることができた。また、カルコゲナイト膜CHをバリアメタル膜BMや、Si酸化膜27で覆い、A1と接触しない構造にしたため、カルコゲナイト材料がA1材料の影響を受けることがなかった。またカルコゲナイト膜CHは、Si窒化膜やPドープSi酸化膜のような可動イオンの影響を排除できる膜からなる、第1のパシベーション膜21と第2のパシベーション膜26、および第3のパシベーション膜30に、上下から挟まれた構造を有するため、可動イオンの影響を受けずに、安定した抵抗値を有する記憶素子を形成することができた。この結果、メモリTFTのオン抵抗が～500kΩ前後であるのに対して、記憶素子である相変化可変抵抗が、非晶質状態ではほぼ100MΩ前後の高抵抗になり、安定したメモリ動作を実現できた。

### 【0023】

以上のような構成および動作を採用することによって、周辺回路の動作を止めで画像データの入出力を停止しても、各画素のメモリに保持された画像データに基づき表示を続けることができる。また、このメモリは不揮発性メモリであるため、リフレッシュと呼ばれる情報の定期的な再書き込み動作が不要である。さらに、本方式は保持データに従って常に液晶に電圧を印加し続けるので、液晶の表示を保持するための付加容量が必要ない。また1つのメモリTFTと1つの記憶素子9でデータ保持を行い、その記憶素子9はブラックマトリクスと呼ばれる光を遮断する領域や、ゲート線GLの領域上に形成するので、メモリを付加するために必要な面積を縮小できる。そのために、画素の面積を縮小しながら各画素の開口率を大きくとれて、透過モードの表示に必要なバックライトの消費電力を低減できる。これらの発明の効果により、各色で階調を持ったフルカラーの高精細表示が可能となるだけでなく、反射モード表示と透過モード表示のいずれにおいても、消費電力を大幅に低減することが可能となる。

### 【0024】

以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば、相変化可変抵抗記憶素子9を形成する材料としては、本実施例のZnとTeを主成分とする材料に限ったものではなく、Te, Se, Sのうちの少なくとも一元素を含むカルコゲナイト材料であればよい。例としては、Ge<sub>5</sub>Se<sub>2</sub>Te<sub>8</sub>の組成を有する材料でもよい。また、これらの材料よりなるカルコゲナイト膜CHの少なくとも一部に、電極間を横切るように、すなわち導電パスを横切って遮断するように酸化物、窒化物、硫化物、炭化物などの誘電体とカルコゲナイト材料との混合膜を形成することにより、最初の低抵抗状態へのセット時にその領域の誘電体中に、カルコゲナイトのフィラメント状領域が形成されて細い導電パスとなり、そこだけに電流が流れるので高い抵抗値を得ることができる。好ましい誘電体材料は酸化ゲルマニウム、窒化ゲルマニウム、酸化シリコン、窒化シリコン、酸化タンタル、酸化モリブデン、炭化シリコン、硫化亜鉛である。代表的例として、カルコゲナイト：Ta<sub>2</sub>O<sub>5</sub>の混合比が3:7のもので、抵抗がほぼ1桁上昇する。この場合混合比としては、1:9から6:4の範囲が好ましい。この範囲よりカルコゲナイトが多いと、抵抗上昇効果が2倍未満であり、カルコゲナイトが少ないとフィラメント形成が困難になり、抵抗変化が1桁以下となり小さ過ぎる。この混合膜領域は、どちらかの電極に接して設けるのが好ましいが、両電極に接しない状態でも高い抵抗値を得ることが可能である。どちらかの電極に接して設ける場合は、プラスイオンによりフィラメントが形成されることから、マイナス電極に接して設けられるのがメモリ動作の安定性の点で最も好ましい。この場合、図3 (e) のカルコゲナイト膜CHと、バリアメタル膜BMが接する部分に、上記混合膜領域を設けることで実現できる。

### 【0025】

また、本実施例ではTFT基板にガラス基板20を用いたが、これを石英基板や透明プラスチック基板等透明絶縁基板に変更することも可能であるし、また透過型液晶表示や反射型液晶表示のみに特化することも可能である。また、表示部分を有機発光ダイオードに変えることで、本発明を有機EL表示装置に実施する事も可能である。あるいはTFTに関しても、本実施例ではメモリTFTにnチ

チャネル型 TFT を用いたが、これを p チャネル型 TFT に変更することも可能であるし、記憶素子の抵抗値をさらに大きくした場合には、メモリ TFT にアモルファス Si-TFT を用いることも可能である。また、 TFT の構造としては本実施例に限ったものではなく、例えばゲート電極 GE が多結晶 Si 領域 PS の下にある構造の TFT でも、本発明の効果を得られることは、いうまでもない。

### (第 2 の実施例)

以下図 4 および図 5 を用いて、本発明の第 2 の実施例を説明する。

本実施例は、第 1 の実施例と同じ相変化画素メモリを有する、面積階調方式の部分透過型液晶表示装置において、記憶素子 9 の平面構造や断面構造を変えて、記憶素子の抵抗を大きくした実施例である。図 4 および図 5 は、記憶素子 9 の部分を拡大して示した平面図である。実際の画素メモリ回路は、第 1 の実施例には限らず種々の回路が可能であり、例えば複数の可変抵抗記憶素子と複数の TFT よりなるメモリ回路でも可能である。ここでは記憶素子 9 の構造を説明するのが目的であるので、図 4 および図 5 には簡略化して回路の一部を示した。図 4 の例では、カルコゲナイト膜 CH からなる記憶素子 9 が、ゲート線 GL および画素線 PL 上にまたがり、かつ折り返して配置されている。このため、第 1 の実施例と比較して、抵抗の長さをほぼ 3 倍前後長くすることができた。また図 5 の例も、メモリ TFT の平面構造は第 1 の実施例と同じであるが、カルコゲナイト膜 CH からなる記憶素子 9 が、画素の周辺に沿って配置されている。このため、第 1 の実施例と比較して、抵抗の長さをほぼ 3 ~ 4 倍前後長くすることができた。これらの相変化抵抗は、いずれもブラックマトリクスと呼ばれる光を遮断する領域や、ゲート線 GL 、画素線 PL の領域上に形成する。さらにこれらの例では、 TFT および記憶素子 9 の製造方法は第 1 の実施例とほぼ同じであるが、カルコゲナイト膜 CH の膜厚を 50 nm 前後まで薄膜化し、また抵抗の幅を半分程度まで細くした。これらの理由により、メモリ付加に必要な面積を大きくせずに、非晶質状態の抵抗値を 1 G Ω 以上にまで大きくすることができ、画素メモリの保持データに基づいて表示しているときの消費電力を、さらに低減することができた。

### 【0026】

これらの実施例では、平面構造や断面構造を変えることで抵抗値を大きくした

が、例えばさらに非晶質状態の抵抗率の高いカルコゲナイト材料を用いることでも、例えば非晶質状態の抵抗値を 10 G Ω 以上にまで増やすことが可能である。また、カルコゲナイト膜 CH の少なくとも一部に、電極間を横切るように、すなわち導電パスを横切って遮断するように酸化物、窒化物、硫化物、炭化物などの誘電体とカルコゲナイト材料との混合膜を形成することにより、高い抵抗値を得ることも可能である。この混合膜領域は、どちらかの電極に接して設けるのが好ましいが、両電極に接しない状態でも高い抵抗値を得ることが可能である。どちらかの電極に接して設ける場合は、マイナス電極に接して設けられるのが、メモリ動作の安定性の点で最も好ましい。この場合、図 4 および図 5 のカルコゲナイト膜 CH と、局部配線 LC が接続している領域（実際はバリアメタル膜 BM が、カルコゲナイト膜 CH に接する）に、上記混合膜領域を設けることで実現できる。

さらに、カルコゲナイト膜よりなるデータ保持用抵抗を本実施例以上の高抵抗にし、結晶状態を変えるためのジュール熱発生用抵抗素子をカルコゲナイトとは別の材料で低抵抗に形成して、データ保持用高抵抗素子とジュール熱発生用低抵抗素子を、薄膜絶縁膜により電気的に絶縁しながら積層することにより、データ保持状態の消費電力をさらに低減しながら、より低電圧で効率的に書き込み動作を行うことも可能である。

### （第 3 の実施例）

以下図 6～図 10 を用いて、本発明の第 3 の実施例を説明する。

始めに本実施例の全体構成に関して述べる。図 6 は、本実施例である多結晶 Si-TFT 表示装置の構成図であり、カルコゲナイト材料を用いた相変化メモリよりなるフレームメモリを有する。本実施例では 6 ビット階調の有機 EL 表示素子を例に取った。なおここでは図面の簡略化のために画素は 2 画素のみ記載しているが、実際には精細度に応じて複数の画素が設けられている。各画素 4 1 は有機発光ダイオード 5 0 、有機発光ダイオード駆動 TFT 5 1 、画素 TFT 5 2 で構成されており、有機発光ダイオード駆動 TFT 5 1 のゲート容量に書き込まれた信号電圧によって制御される駆動電流により、有機発光ダイオード 5 0 は駆動される。これによって本実施例では自発光可能な表示装置を実現しており、バック

ライトが不要するために液晶表示装置よりも薄型化が可能である。なおここで用いた有機発光ダイオードは一般に知られている構造のものであり、その構造等に関しては、一例として公開特許広報／特開2001-159878等を参照することができる。また本実施例では画素の1列毎に、対応するDA変換回路45やフレームメモリ44を有している。表示領域42には画素41がマトリクス状に配置され、画素TFT52のゲートはゲート線GLを介して走査系回路46に、また画素TFT52の一端は信号線SLを介してDA変換回路45に接続されている。DA変換回路45にはデータ線DLを介してフレームメモリ44が接続されており、データ線DLは他端では信号系回路43に接続されている。

### 【0027】

ここで図7にフレームメモリ44の構成図を示す。メモリセルアレイ領域にはメモリセルMCがマトリクス状に配置されている。図7では図面の簡略化のために一部だけ記載してあるが、実際にはフレームメモリ44には、画素行数に対応する数分と、画素列数と階調ビット数に対応する数分のメモリセルMCが設けられている。メモリセルMCは、カルコゲナイト材料よりなる相変化可変抵抗記憶素子56と、メモリセルTFT55とからなる1トランジスタ+1記憶素子により構成される相変化メモリである。同一行のメモリセルMCは、ワード線WLを介してワード線走査回路に接続されている。記憶素子56の一端はデータ線DLに接続され、メモリセルTFT55のソース電極はコモン線CMに接続されている。上記のメモリセルTFT55、DA変換回路45、信号系回路43、走査系回路46、表示制御回路47は、多結晶Si-TFTを用いてガラス基板40上に設けられている。

### 【0028】

次に本実施例の動作を説明する。選択されたワード線WL上のTFT55が導通し、データ線DLから入力される表示データは、選択された所定の行のメモリセルMCの記憶素子56に、書き込み回路WCにより電気抵抗の形で書き込まれる。この時記憶素子56には、書き込み回路WCからパルス状の電流を流し、カルコゲナイト膜を結晶化、もしくは非晶質化させる。通常は高電圧短パルス（例えば20nsec）によって高抵抗の非晶質状態にし、低電圧の長め（例えば50nsec）

s) のパルスによって低抵抗の結晶状態にすることにより、1ビットの表示データを書き込む。ここでパルス幅か電圧を同じにしても良い。以上がフレームメモリ44への書き込み動作である。

### 【0029】

次に、フレームメモリ44内にあるワード線走査回路が、ワード線WLを介してメモリセルMCを走査するのに従って、選択されたメモリセルMC内に電流経路が形成される。この時記憶素子56の抵抗値は、保持情報によって差があるので、データ線DLに出力される電圧は保持情報によって差が出る。この差を読み出し回路RCで判別することにより、保持された表示データが読み出され、順次データ線DLに出力される。この時表示データはDA変換回路45に入力され、DA変換回路45は表示データに対応する表示電圧信号を信号線SLに出力する。ここで走査系回路46はワード線走査回路と同期し、ゲート線GLを介して画素41を走査する。これによって選択された画素41の画素TFT52が開閉し、選択された有機発光ダイオード50を表示電圧信号に応じた階調で発光させる。このメモリは、電源が供給されなくても情報を保持できる不揮発性メモリであるので、表示データが変化しない間は、いわゆるリフレッシュと呼ばれる再書き込み動作を必要としない。これによって本有機EL表示装置は、外部から表示データの書き込みが停止しても、表示を継続することが可能となる。

### 【0030】

次に図8および図9を用いて本第3の実施例におけるフレームメモリ44の構造を、より詳しく説明する。図8は、フレームメモリのセルアレイの一部を示した平面構造図である。図9は、図8中にAA' と一点鎖線で示した、メモリTFTと記憶素子の部分の断面構造図である。メモリTFTは、多結晶Si層PSと、ワード線WLに接続されたゲート電極GEと、コンタクトホールCNからなり、ドレイン電極が局部配線LCにより、記憶素子を形成するカルコゲナイト膜CHに接続され、もう片方のソース電極は、隣のメモリセルのTFTと共に通なっており、コモン線CMに接続される。記憶素子はワード線WL上に配置されており、片方の電極はデータ線DLに接続されている。可変抵抗記憶素子を形成するカルコゲナイト膜CHは、Te, Se, Sのうちの少なくとも一元素を含むカル

コゲナイト材料よりなる膜厚100nm前後の膜である。本実施例の場合、カルコゲナイト材料はGe<sub>5</sub>Si<sub>2</sub>Te<sub>8</sub>の組成のものとした。また、記憶素子56の抵抗として動作する部分の長さはほぼ2μm前後であり、抵抗値が結晶状態ではほぼ10kΩ前後、非晶質状態ではほぼ1MΩ前後であった。

TFTと記憶素子の製造方法が第1の実施例とほぼ同じであるため、断面構造も同じであり、第1の実施例と同じ効果を得ることができた。すなわち、自己整合プロセスを用いたため、リソグラフィ工程の合わせずれの影響を受けずに、記憶素子の抵抗値を決めることができた。また、カルコゲナイト膜CHをバリアメタル膜BMや、Si酸化膜27で覆う構造にしたため、Al材料の影響を受けない構造にすることができた。またカルコゲナイト膜CHは、Si塗化膜やPドープSi酸化膜のような可動イオンの影響を排除できる膜からなる、第1のパシベーション膜21と第2のパシベーション膜26、および第3のパシベーション膜30に、上下から挟まれた構造を有するため、可動イオンの影響を受けずに、安定した抵抗値を有する記憶素子を形成することができた。この結果、メモリセルTFTのオン抵抗がほぼ100kΩ前後であるのに対して、記憶素子において非晶質状態で1MΩ以上の抵抗になり、安定したメモリ動作を実現できた。

### 【0031】

以上のような構成および動作を採用することによって、周辺回路の動作を止めて画像データの入出力を停止しても、フレームメモリに保持された画像データに基づき、表示を続けることができる。また、このメモリは不揮発性メモリであるため、リフレッシュと呼ばれる情報の定期的な再書き込み動作が不要である。さらに本方式は、1つのメモリセルTFTと1つの記憶素子でデータ保持を行い、その記憶素子はワード線WLの領域上に形成するので、メモリセルアレイの面積を縮小できる。これらの発明の効果により、各色で階調を持ったフルカラーの高精細表示が可能となるだけでなく、消費電力を低減することや、周辺回路の面積縮小による、狭額縁の表示装置の実現が可能となる。

### 【0032】

以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば、図8の平面構造とは異なる平面構造を、図10の

平面図に示した。この例では、相変化可変抵抗記憶素子を、メモリセルTFTの多結晶Si領域PSの上に配置した。このような配置でも、メモリセルアレイ面積の縮小が可能であり、同様の効果が得られる。

また、相変化可変抵抗記憶素子56を形成する材料としては、本実施例のGe5Sb2Te8の組成を有する材料に限ったものではなく、Te, Se, Sのうちの少なくとも一元素を含むカルコゲナイト材料であればよい。GeTeとSb2Te3の混合組成のいずれか、またはそれに近い組成、であっても好ましい。他の例としては、ZnとTeを主成分とする材料がよい。ZnとTeを主成分とする材料の場合、GeまたはSbと、40原子%以上のTeと、20原子%以上50原子%以下の2b族、1b族、3aから7a族、および8族元素から選ばれた少なくとも一元素を含むものを用いることによって、好ましい特性が得られる。特にZnが好ましいが、Cdでもそれに近い効果が得られた。ここで、40原子%以上のTeを含み、かつ、20原子%以上50原子%以下の2b族、1b族、3aから7a族、および8族元素から選ばれた少なくとも一元素を含むようにする理由は、高い結晶化温度と高い電気抵抗率を保つようにするためである。2b族、1b族、3aから7a族、および8族元素の代表としてZnを、GeまたはSbの代表としてGeを例にとって説明する。多くのZnを含む組成の場合には、結合力の強いZn-Teの非晶質ネットワーク中にGe-Teが取り込まれた形になり、安定な結晶系も互いに違うため、全体として高い結晶化温度を保つと考えられる。ここで、Geの添加で、イオン性が強いZnTeより共有結合性が増して非晶質ネットワーク（網目構造）が変形しにくくなり、一方、一旦結晶化が始まるとドミノ倒し式に高速結晶化される、と考えられる。Zn-Teに対して、ZnとTeの比率を保って添加するGeまたはSbの添加量を、5原子%以上40原子%以下とすると、添加量が多いほど融点、結晶化温度は低下するが、40原子%以下であれば、Ge5Sb2Te8よりも非晶質状態が安定であった。5原子%以上の添加によって、耐酸化性向上効果が得られた。添加量を25原子%以上35原子%以下とすれば、特に耐酸化性が高まった。このほか、第4の構成元素として、Au, Ag, Cu, のうちの少なくとも1者、周期律表の3族以上の元素が10原子%以下含まれても良い。

### 【0033】

また、これらの材料よりなるカルコゲナイト膜CHの少なくとも一部に、電極間を横切るように、すなわち導電パスを横切って遮断するように酸化物、窒化物、硫化物、炭化物などの誘電体とカルコゲナイト材料との混合膜を形成することにより、高い抵抗値を得ることも可能である。この混合膜領域は、どちらかの電極に接して設けるのが好ましいが、両電極に接しない状態でも高い抵抗値を得ることが可能である。どちらかの電極に接して設ける場合は、マイナス電極に接して設けられるのが、メモリ動作の安定性の点で最も好ましい。この場合、図9のカルコゲナイト膜CHと、バリアメタル膜BMが接する部分に、上記混合膜領域を設けることで実現できる。

### 【0034】

また、図9ではガラス基板20を用いたが、これを石英基板や透明プラスチック基板等透明絶縁基板に変更することも可能であるし、図6の表示部42を液晶表示方式に変えることで、本発明を液晶表示装置に実施する事も可能である。あるいはTFTに関しても、本実施例ではメモリセルTFTにnチャネル型TFTを用いたが、これをpチャネル型TFTに変更することも可能であるし、記憶素子の抵抗値をさらに大きくした場合には、メモリTFTにアモルファスSi-TFTを用いることも可能である。また、TFTの構造としては本実施例に限ったものではなく、例えばゲート電極GEが多結晶Si領域PSの下にある構造のTFTでも、本発明の効果を得られることはいうまでもない。さらには、本実施例では各回路を多結晶Si-TFT回路で構成したが、これらの周辺回路の一部分を単結晶LSI (Large Scale Integration)回路で構成して実装することも、本発明の範囲内で可能である。

### 【0035】

さらに、今回は表示信号を6ビットとしたが、例えばフレームメモリ容量を増加することで、より多階調の表示装置に対応することも可能である。メモリセルにおいては、記憶素子の材料の結晶化方向に、多値の抵抗値を取らせることも可能であり、表示の階調ビット数に対応させることもできる。その場合は、結晶化パルスの電圧をより小さな電圧刻みで変化させて、対応する抵抗値を取らせれば

よい。

#### (第4の実施例)

以下に図11～図13を用いて、本発明の第4の実施例を説明する。

本実施例は、第3の実施例と同じフレームメモリを有する有機EL表示装置において、メモリセルの平面構造、断面構造、および製造方法を変えた実施例である。図6の表示装置構成や図7のフレームメモリ構成など、メモリセル以外の構造は第3の実施例と同じである。図11はメモリセルアレイの平面構造の一部を示す平面図であり、図12は図11のAA' と一点鎖線で示した部分の、メモリセルTFTと記憶素子の製造方法と断面構造を説明する、製造工程断面図である。第4の実施例では、カルコゲナイト膜CHよりなる記憶素子が、コンタクト開口部CCの中に形成されているため、1ビットのメモリセルの面積は、1つのメモリセルTFTの面積と同じであり、メモリセルアレイの面積をさらに縮小できた。

#### 【0036】

本実施例の製造方法を説明すると以下の通りである。まず図12 (a) に示したように、ガラス基板20に、Si塗化膜やPドープSi酸化膜からなる第1のパシベーション膜21とSi酸化膜22とアモルファスSi膜をプラズマCVD法により堆積し、連続発振固体レーザをパルス変調したレーザアニール法を用いて、このアモルファスSi膜を結晶化することにより、結晶性の優れた多結晶Si膜PSを形成した。ここで、多結晶Si膜PSを形成する他の方法として、固相成長法によりアモルファスSi膜を結晶化したり、低温CVD法で直接多結晶Si膜を、Si酸化膜22の上に堆積することもできる。その後、選択的にこの多結晶Si膜PSをエッチングすることによりTFT形成領域に多結晶Si膜PSを島状に残し、ゲートSi酸化膜23をプラズマCVD法により堆積し、例えばMoを主材料としたゲート膜を堆積、パターニングし、ゲート電極GEとワード線WLを形成した。

#### 【0037】

次に図12 (b) に示したように、イオン打ち込み法やイオンドーピング法などによる不純物イオンの導入と活性化のための熱処理を行い、ソース拡散層24

およびドレイン拡散層25を形成した後、Si窒化膜やPドープSi酸化膜などを含んだ第2のパシベーション膜26をCVD法により堆積した。なおここでは、紙面の都合でn型チャネルのメモリTFTの断面図のみ示しているが、実際にはその他の周辺回路に必要に応じて、p型チャネルTFTやLDD構造のTFTを形成した。その後リソグラフィ法により、記憶素子を形成する領域CCを開口し、例えばZnとTeを主成分とするカルコゲナイト材料からなる、膜厚200nm前後のカルコゲナイト膜CHを、例えば室温や室温に近い低温のスパッタリング法により、開口部CCの多結晶Si上にバリアメタルを介さず直接堆積した。このようにバリアメタルを介さないことで、バリアメタルよりなる寄生低抵抗がカルコゲナイト膜に並列に付加されないので、記憶素子の抵抗値をより制御性よく形成することができた。ここで必要に応じて、例えばレーザアニールやRTAにより、カルコゲナイト膜CHを結晶化する。さらにこれらの熱処理は、上記不純物イオン活性化のための熱処理を兼ねることも可能である。

### 【0038】

次に図12(c)に示したように、リソグラフィ法を用いて、選択的にカルコゲナイト膜CHをエッチングし、記憶素子を形成する領域にカルコゲナイト膜CHを残し、続いてリソグラフィ法によりTFT用コンタクトホールCNを開口した。

### 【0039】

次に図12(d)に示したように、例えばMoを主成分としたバリアメタル膜BMと、データ線DLやコモン線CMに用いるAl膜、あるいは例えばAlとTiの積層膜のようなAl膜を主成分とした金属積層膜を堆積し、パターニングした。このバリアメタル膜BMは、その他の材料、例えばWやTiNなどでも可能である。以上の製造方法ため、記憶素子の抵抗長や断面積がカルコゲナイト膜厚と記憶素子用コンタクト開口部CCの開口面積で決定され、リソグラフィの合わせずれの影響を受けることがなく、自己整合的に抵抗値が決定された。ここで、非晶質化する時のカルコゲナイト膜の蒸発や変形を防ぐために、膜厚が50nm以上のCr<sub>2</sub>O<sub>3</sub>膜や他の誘電体の膜を、スパッタリング法により堆積することも可能である。

次に図12 (e) に示したように、Si 売化膜やP ドープSi 酸化膜からなる第3のパシベーション膜30と、例えば有機材料からなる低誘電率の第4のパシベーション膜31を堆積した。その後、水素アニールやプラズマ処理による水素化処理を行った。

最後に、表示領域でビアホールを開口し（図12には示さず）、透明電極膜を堆積し、所望の形状になるように透明電極を形成し（図12には示さず）、配線層と透明電極を接続した。その後有機発光ダイオード形成工程に進み、有機EL表示装置を完成した

以上の製造方法によると、リソグラフィ工程の合わせずれの影響を受けずに、自己整合的に制御性よく記憶素子の抵抗値を決めることができた。また、カルコゲナイト膜CHをバリアメタル膜BMで覆ったため、A1材料の影響を受けない構造にすることができた。またカルコゲナイト膜CHは、Si 売化膜やP ドープSi 酸化膜のような可動イオンの影響を排除できる膜からなる、第1のパシベーション膜21と第2のパシベーション膜26、および第3のパシベーション膜30に、上下左右から囲まれた構造を有するため、可動イオンの影響を受けずに、安定した抵抗値を有する記憶素子を形成することができた。この結果、記憶素子において非晶質状態で  $1 M\Omega$  以上の抵抗を形成できた。一方で本実施例においては、結晶性の優れた多結晶Si 膜PSを用いてメモリセルTFTを形成したため、メモリセルTFTのオン抵抗をほぼ  $20 k\Omega$  前後にまで下げることができた。このように、記憶素子の抵抗とメモリセルTFTのオン抵抗の差を、安定して大きくできたため、より安定したメモリ動作を実現できた。

#### 【0040】

以上のような構成および動作を採用することによって、周辺回路の動作を止めても画像データの入出力を停止しても、フレームメモリに保持された画像データに基づき、表示を続けることができる。また、このメモリは不揮発性メモリであるため、リフレッシュと呼ばれる情報の定期的な再書き込み動作が不要である。さらに本方式は、1つのメモリセルTFTと1つの記憶素子でデータ保持を行い、その面積が1つのTFTの面積と同じであるので、メモリセルアレイの面積を縮小できる。これらの発明の効果により、各色で階調を持ったフルカラーの高精細

表示が可能となるだけでなく、消費電力を低減することや、周辺回路の面積縮小による、狭額縫の表示装置の実現が可能となる。

#### 【0041】

以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば、図11の平面構造とは異なる平面構造を、図13の平面図に示した。この例では、ワード線WLとゲート電極GEを同一金属膜で形成し、データ線DLとコモン線CMを、A1を主成分とした配線層で形成した。このような配置でも、メモリセルアレイ面積の縮小が可能であり、同様の効果が得られる。

#### 【0042】

また、相変化可変抵抗記憶素子56を形成する材料としては、本実施例のZnとTeを主成分とする材料に限ったものではなく、Te, Se, Sのうちの少なくとも一元素を含むカルコゲナイト材料であればよい。例としては、Ge<sub>5</sub>Sb<sub>2</sub>Te<sub>8</sub>の組成を有する材料でもよい。また、これらの材料よりなるカルコゲナイト膜CHの少なくとも一部に、電極間を横切るように、すなわち導電パスを横切って遮断するように酸化物、窒化物、硫化物、炭化物などの誘電体とカルコゲナイト材料との混合膜を形成することにより、高い抵抗値を得ることも可能である。この混合膜領域は、どちらかの電極に接して設けるのが好ましいが、両電極に接しない状態でも高い抵抗値を得ることが可能である。どちらかの電極に接して設ける場合は、マイナス電極に接して設けられるのが、メモリ動作の安定性の点で最も好ましい。この場合、図12(e)のカルコゲナイト膜CHと、バリアメタル膜BMが接する部分に、上記混合膜領域を設けることで実現できる。

#### 【0043】

また、図12ではガラス基板20を用いたが、これを石英基板や透明プラスチック基板等透明絶縁基板に変更することも可能であるし、図6の表示部42を液晶表示方式に変えることで、本発明を液晶表示装置に実施する事も可能である。あるいはTFTに関しても、本実施例ではメモリセルTFTにnチャネル型TFTを用いたが、これをpチャネル型TFTに変更することも可能であるし、記憶素子の抵抗値をさらに大きくした場合には、メモリTFTにアモルファスSi-

TFTを用いることも可能である。また、TFTの構造としては本実施例に限ったものではなく、例えばゲート電極GEが多結晶Si領域PSの下にある構造のTFTでも、本発明の効果を得られることはいうまでもない。さらには、本実施例では各回路を多結晶Si-TFT回路で構成したが、これらの周辺回路の一部分を単結晶LSI回路で構成して実装することも本発明の範囲内で可能である。

#### 【0044】

さらに、今回は表示信号を6ビットとしたが、例えばフレームメモリ容量を増加することで、より多階調の表示装置に対応することも可能である。メモリセルにおいては、記憶素子の材料の結晶化方向に、多値の抵抗値を取らせることも可能であり、表示の階調ビット数に対応させることもできる。その場合は、結晶化パルスの電圧をより小さな電圧刻みで変化させて、対応する抵抗値を取らせればよい。

#### (第5の実施例)

以下に図14を用いて、本発明における第5の実施例に関して説明する。第5の実施例は、本発明を携帯電話やデジタルスチルカメラに適用した例であり、図14は本装置に用いられている表示装置の構成図である。この表示装置は、対角長がほぼ2～3インチ前後、精細度がQVGA（320×240画素）前後の表示部61を有する各色6ビットの面積階調部分透過型液晶表示装置であり、不揮発性相変化メモリよりなる画素メモリを兼ね備えている。表示制御回路64には、画像データの入力回路、電源変換回路、レベルシフト回路、タイミング制御回路など、画像表示に必要な回路機能が含まれており、ここから出力されたデータが、シフトレジスタ回路やバッファ回路などを含んだ信号系回路62および走査系回路63に送られ、画像が表示される。これらの回路は、多結晶Si-TFTにより構成されており、TFTと相変化記憶素子は同一ガラス基板60に製造されたため、表示部周辺の額縁幅を狭くすることができ、デザイン的に優れた表示装置を提供できた。なおこれらの周辺回路の一部は、LSIにより構成することも可能である。

#### 【0045】

インターネットや地上波デジタル放送などから配信された動画像の観賞や、テ

レビ電話などの機能を使用するときは、主にバックライトを用いた透過モードで表示装置を使用するが、本表示装置は開口率を大きくとれるため、バックライトの消費電力を低減することができた。また、待ち受け状態や同じ静止画像を長時間見る時は、主に反射モードで表示装置を使用する。この時は、周辺回路の動作を止めて画像データの出力を停止しても、画素メモリの情報により表示を持続できるため、消費電力を2mW前後、あるいはそれ以下にまで大幅に下げながら、各色6ビット階調のフルカラー画像をみることができた。

#### （第6の実施例）

以下に図15を用いて、本発明における第6の実施例に関して説明する。

第6の実施例は、本発明を携帯情報サービス端末に適用した例であり、図15は本端末に用いられている表示装置の構成図である。表示装置は、対角長が5～10インチ前後、精細度がS V G A (800×600画素)～U X G A (1600×1200)前後、各色6ビット階調の軽量薄型有機E L表示装置であり、不揮発性相変化メモリよりなるフレームメモリを、信号系回路72の中に兼ね備えている。それ以外にも、無線通信回路R F、インターフェース回路I F、マイクロプロセッサMP、汎用メモリMM、アンテナA N、外光センサ回路L S、太陽電池などを含んだエネルギー制御回路E C、個人認証用センサ回路F P等が搭載されており、高機能を内蔵した表示装置を提供している。これらの回路は、多結晶S i-T F TとL S Iにより構成されており、T F T、相変化記憶素子、アンテナ、各センサ、太陽電池は同一ガラス基板70に600°C以下の低温プロセスで製造され、またL S Iはチップを直接ガラス基板に実装したため、表示部周辺の額縁幅を狭くすることができ、デザイン的に優れた表示装置を提供できた。また本実施例では、汎用メモリMMをL S Iにより構成したが、例えばフレームメモリに用いた不揮発性相変化メモリにより、汎用メモリを構成することも可能である。このように、T F T回路、相変化記憶素子、アンテナ、センサ、太陽電池などを、同一ガラス基板70に製造し、搭載するL S Iの数を極力減らしたことにより、軽量薄型でも耐衝撃性に優れた表示装置を提供することができた。

#### 【0046】

画像データの表示方法を、以下に簡単に説明する。無線通信回路R Fには、低

雑音増幅回路、高出力増幅回路、インダクタ、容量などが含まれ、外部から圧縮された画像データ等が無線データとして入力する。この画像データは、インターフェース回路IFを経て、マイクロプロセッサMPに送られる。ここで画像データに必要に応じた処理を加えた後、電源変換回路、レベルシフト回路、タイミング制御回路など、画像表示に必要な回路機能が含まれた表示制御回路74と、フレームメモリを有する信号系回路72、および走査系回路73に送られ、画像が表示される。

#### 【0047】

この端末により、インターネットや配信サービススポットなどから提供される画像の観賞や、画像情報を利用することができる。特に写真やニュース、各種案内、ショッピング情報、地図情報、地域情報などの静止画像や文字情報を利用する場合は、周辺回路やマイクロプロセッサMP、無線通信回路RFなどの動作を停止しても、フレームメモリに保持された画像情報により表示を持続できるため、消費電力を下げながら、各色6ビット階調のフルカラー画像をみることができる。また、外光センサ回路LSにより周囲の明るさを感知し、表示輝度を最適に制御することにより、表示のための消費電力を削減することができる。さらに、個人認証用センサ回路FPにより使用者を特定することにより、各種予約やショッピング、銀行などのサービスを利用することができる。また、本端末の表示部の少なくとも一部にタッチパネルの機能を持たせることにより、キーボードを表示してペン、指などによってタッチ入力を行うことができる。この場合、キーボードの表示は、少なくともキー配列またはキーボードの大きさ、または片手入力用か両手入力用かの2種類以上を用意しており、ユーザーの好みによって選ぶことができる。なお本実施例では、有機EL表示装置を例にとったが、透過型液晶表示装置など他の表示装置でも、本発明の効果を得られることはいうまでもない。

#### 【0048】

##### 【発明の効果】

本発明によれば、画像表示装置における画素数の増大と表示領域以外の周辺領域面積の縮小と低消費電力化を両立させることができる。また、多ビットの画像

データを表示することも可能である。

【図面の簡単な説明】

【図 1】

第 1 の実施例である表示装置の構成図。

【図 2】

第 1 の実施例である表示装置の画素の平面構造図。

【図 3】

第 1 の実施例である表示装置の画素の製造工程断面図。

【図 4】

第 2 の実施例である表示装置の画素の平面構造図。

【図 5】

第 2 の実施例である表示装置の画素の平面構造図。

【図 6】

第 3 の実施例である表示装置の構成図。

【図 7】

第 3 の実施例である表示装置の記憶装置の構成図。

【図 8】

第 3 の実施例である表示装置の記憶装置の平面構造図。

【図 9】

第 3 の実施例である表示装置の記憶装置の断面構造図。

【図 10】

第 3 の実施例である表示装置の記憶装置の平面構造図。

【図 11】

第 4 の実施例である表示装置の記憶装置の平面構造図。

【図 12】

第 4 の実施例である表示装置の記憶装置の製造工程断面図。

【図 13】

第 4 の実施例である表示装置の記憶装置の平面構造図。

【図 14】

第5の実施例である表示装置の構成図。

【図15】

第6の実施例である表示装置の構成図。

【図16】

従来技術の表示装置の構成図。

【図17】

従来技術の表示装置の構成図。

【図18】

従来技術の表示装置の構成図。

【符号の説明】

1 …表示基板、 2 …画素、 3 …表示部、 4 …信号系回路、 5 …走査系回路、 6 …表示制御回路、 7 …書き込み回路、 8 …メモリ TFT、 9 …相変化可変抵抗、 10 …液晶、 11 …キャップ Si 酸化膜残存領域、 12 …カルコゲナイト膜エッチング領域、 20 …ガラス基板、 21 …第1のパシベーション膜、 22 …Si 酸化膜、 23 …ゲート Si 酸化膜、 24 …ソース拡散層、 25 …ドレイン拡散層、 26 …第2のパシベーション膜、 27 …キャップ Si 酸化膜、 28 …レジスト膜、 29 …カルコゲナイト膜エッチング領域、 30 …第3のパシベーション膜、 31 …第4のパシベーション膜、 40 …表示基板、 41 …画素、 42 …表示部、 43 …信号系回路、 44 …フレームメモリ、 45 …DA変換回路、 46 …走査系回路、 47 …表示制御回路、 50 …有機発光ダイオード、 51 …有機発光ダイオード駆動 TFT、 52 …画素 TFT、 55 …メモリセル TFT、 56 …相変化可変抵抗、 60 …表示基板、 61 …表示部、 62 …信号系回路、 63 …走査系回路、 64 …表示制御回路、 70 …表示基板、 71 …表示部、 72 …信号系回路、 73 …走査系回路、 74 …表示制御回路、 100 …表示部、 101 …信号系回路、 102 …走査系回路、 103 …不揮発性半導体メモリ、 104 …画素、 105 …信号線、 106 …ゲート線、 110 …表示部、 111 …信号系回路、 112 …フレームメモリ、 113 …DA変換回路、 114 …走査系回路、 115 …画素、 116 …信号線、 117 …ゲート線、 120 …表示部、 121 …信号系回路、 122 …走査系回路、 123 …画素、 124 …正信号線、 125 …負信号線、 126 …

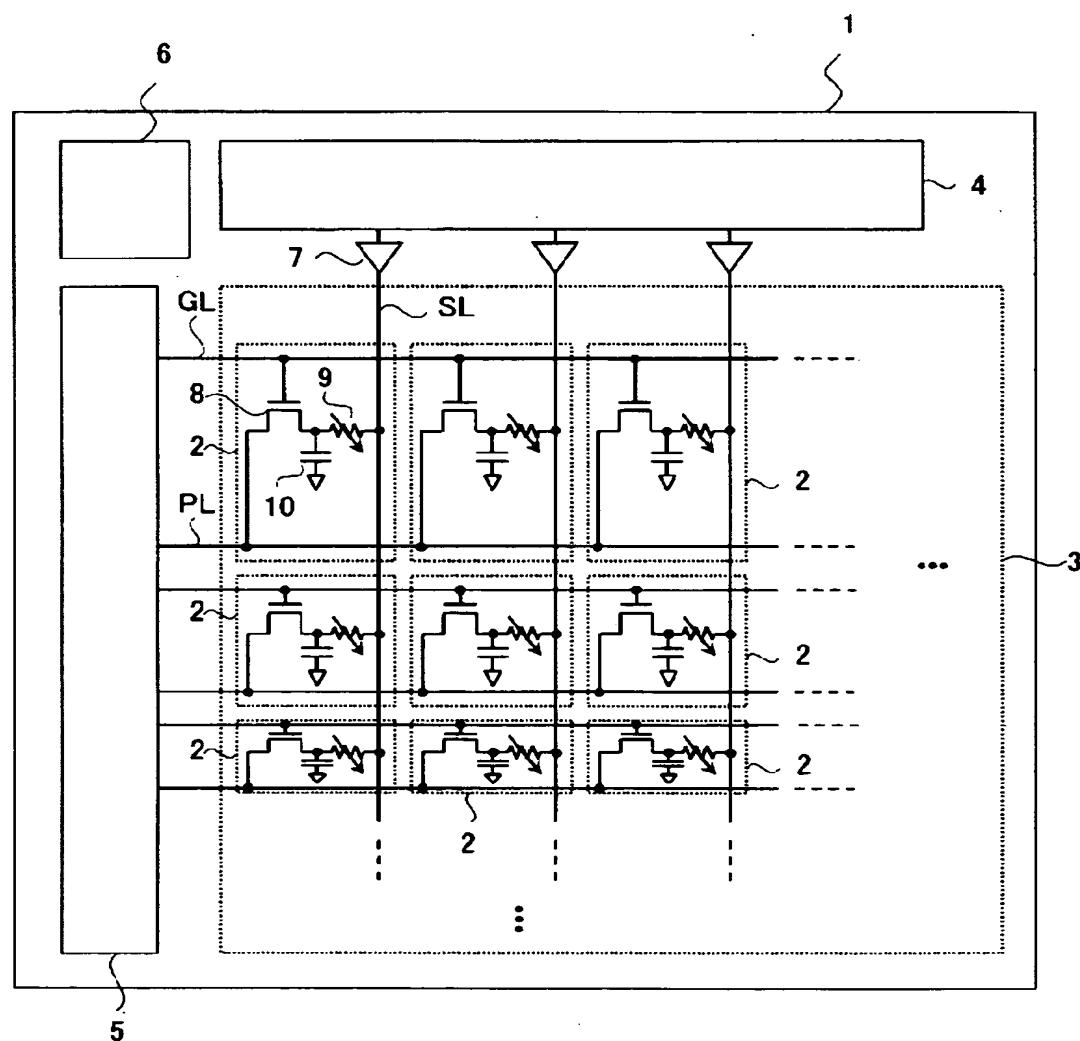
ゲート線、127…交流駆動信号線。

【書類名】

図面

【図 1】

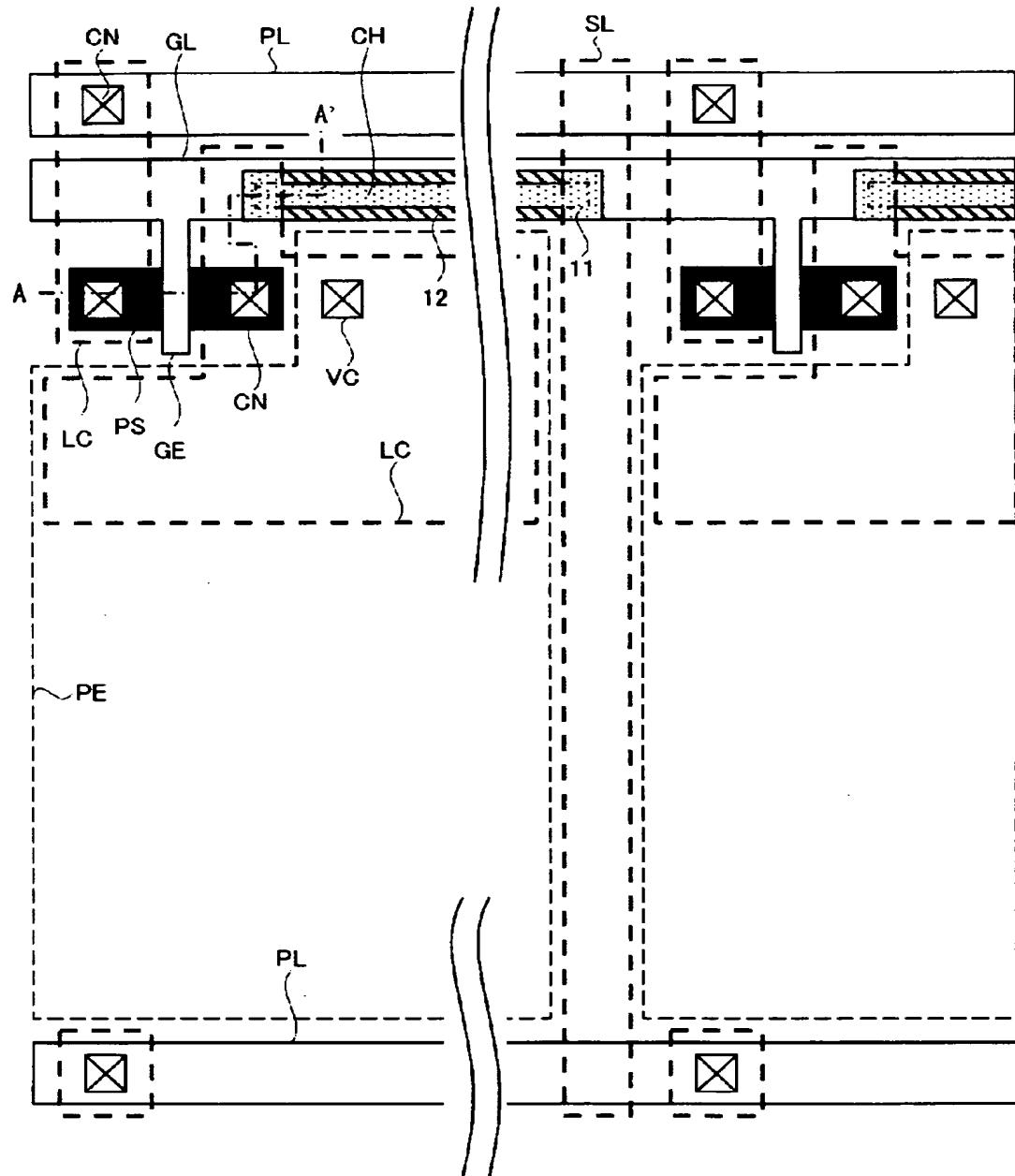
図 1



BEST AVAILABLE COPY

【図 2】

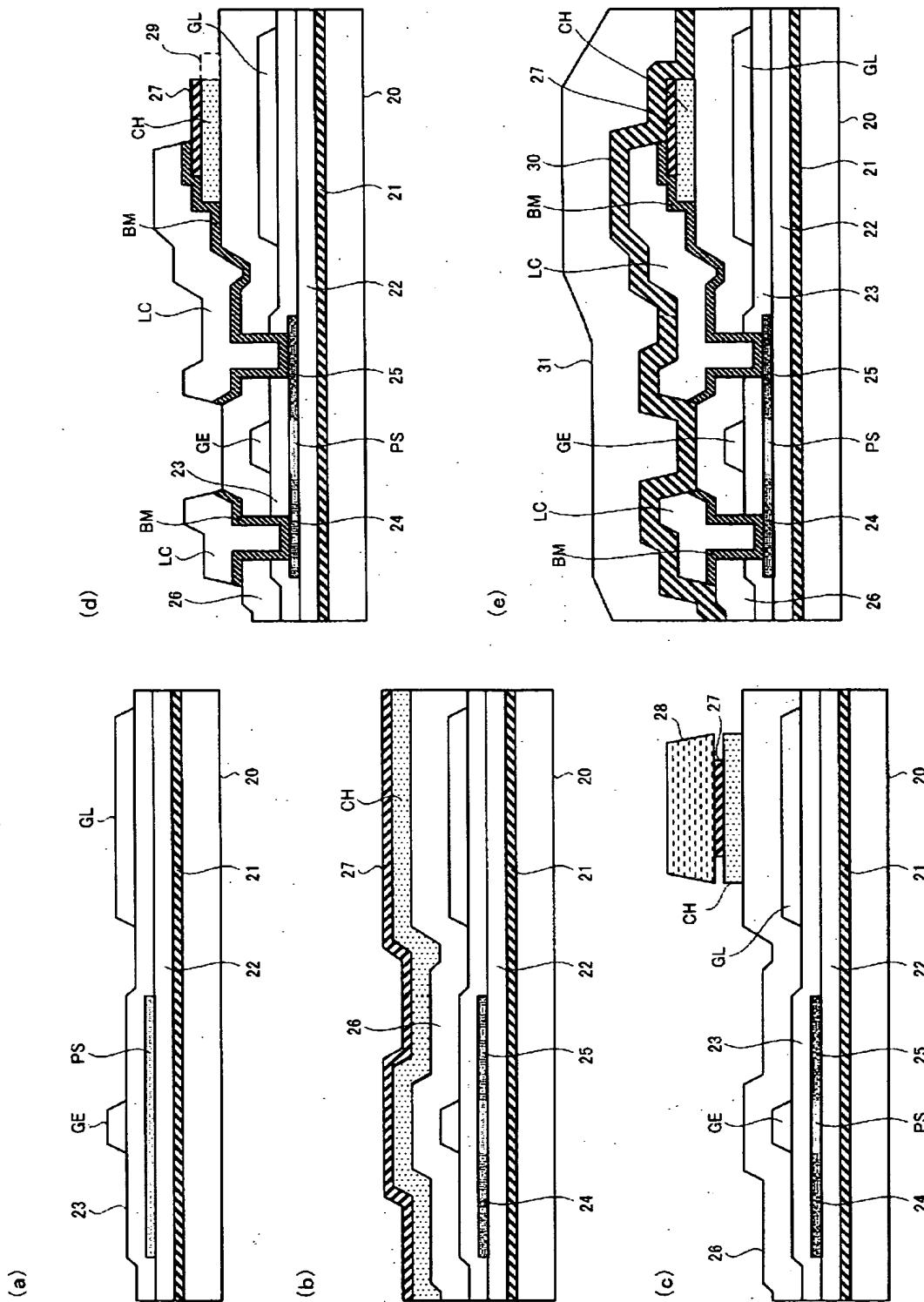
図 2



BEST AVAILABLE COPY

【図3】

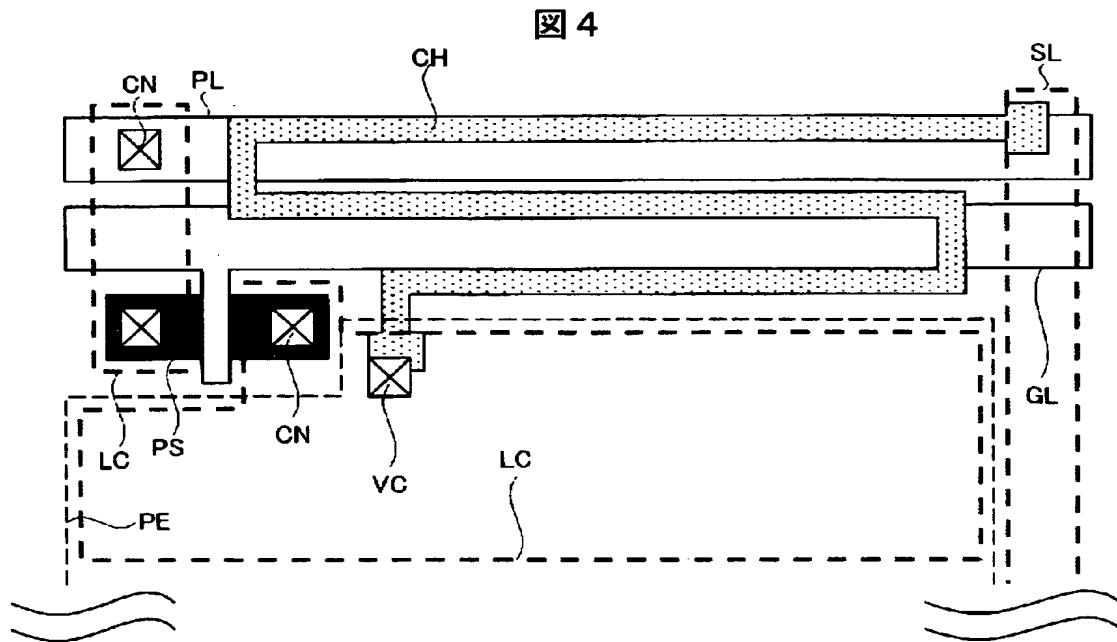
図3



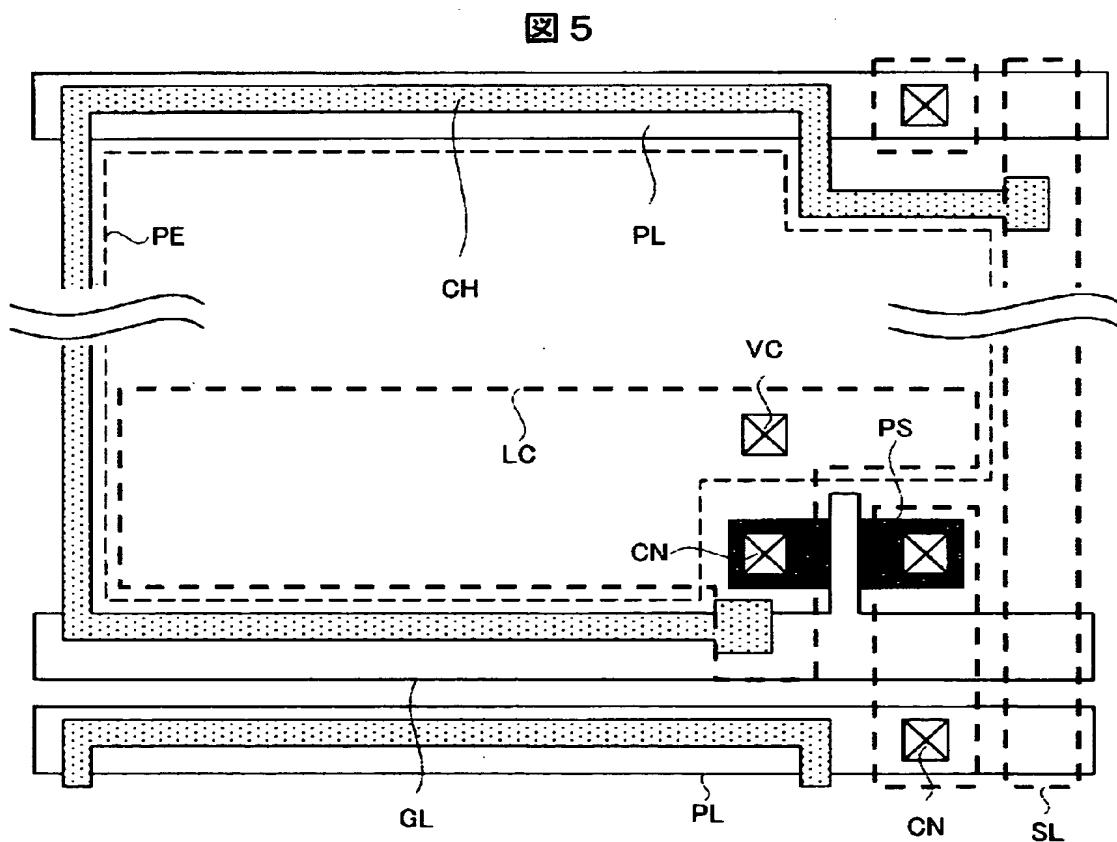
BEST AVAILABLE COPY

出証特2003-3100704

【図4】

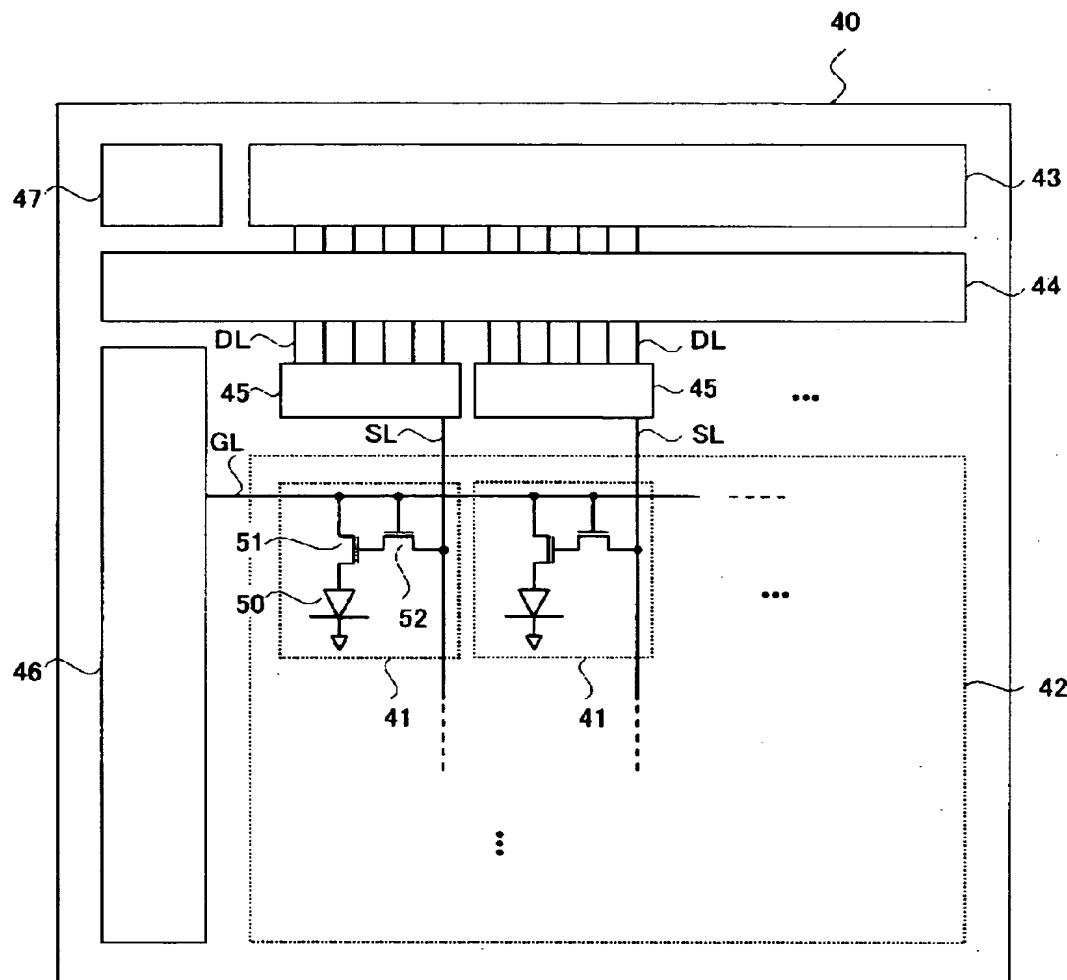


【図5】



【図 6】

図 6

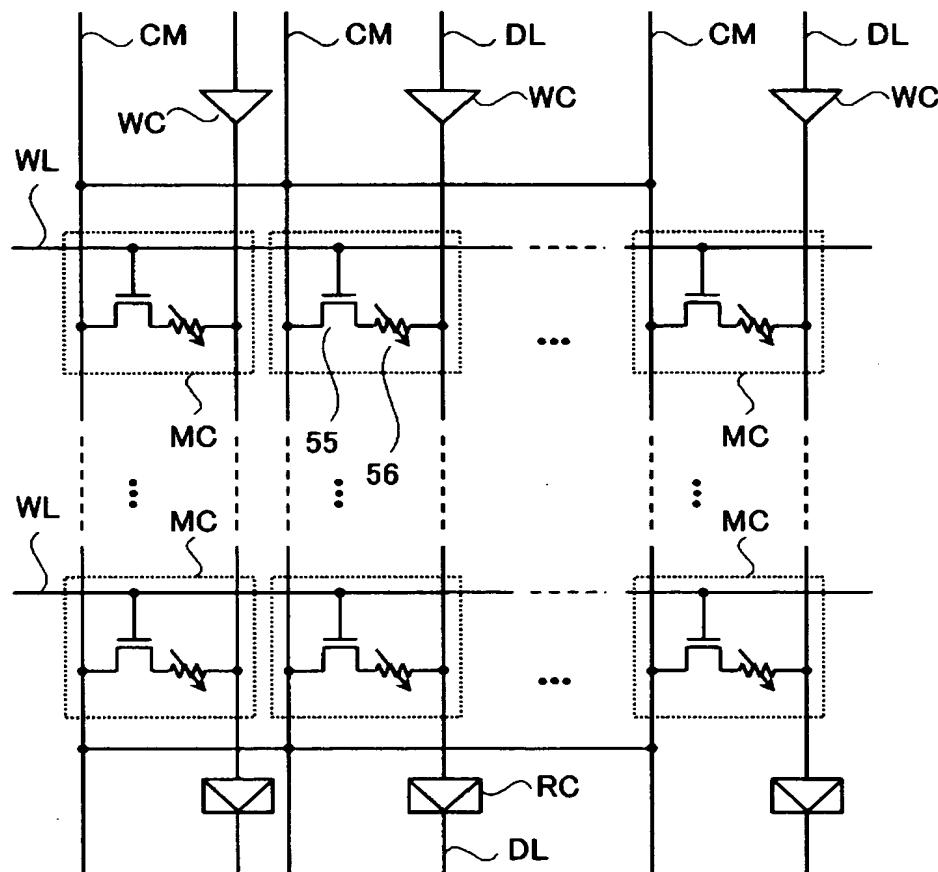


BEST AVAILABLE COPY

出証特 2003-3100704

【図 7】

図 7

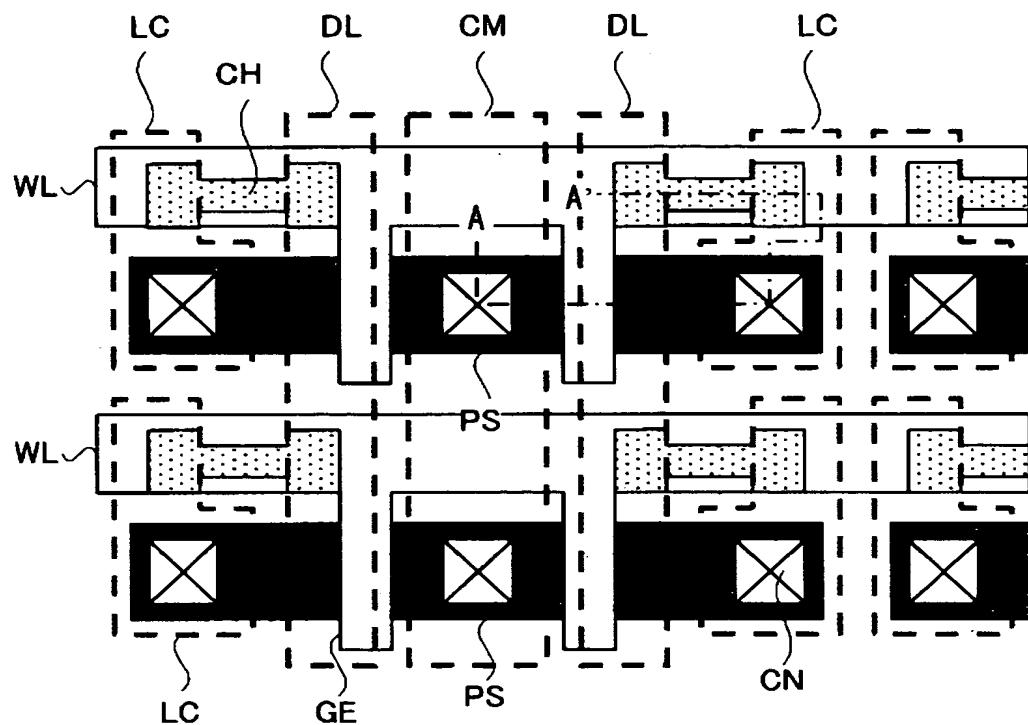


BEST AVAILABLE COPY

出証特 2003-3100704

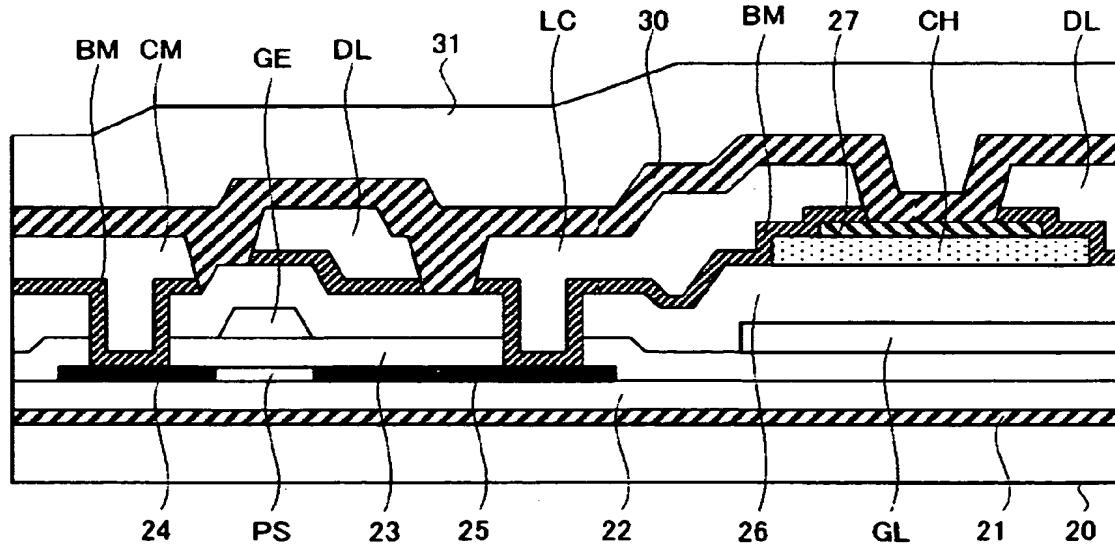
【図8】

図8



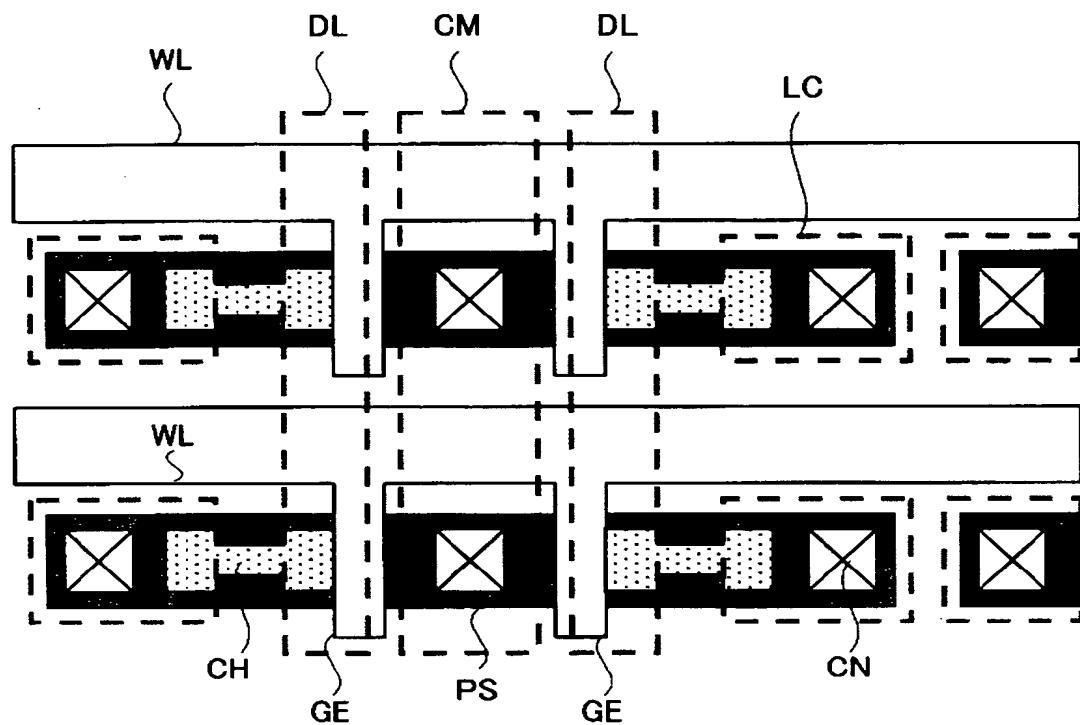
【図9】

図9



【図10】

図10

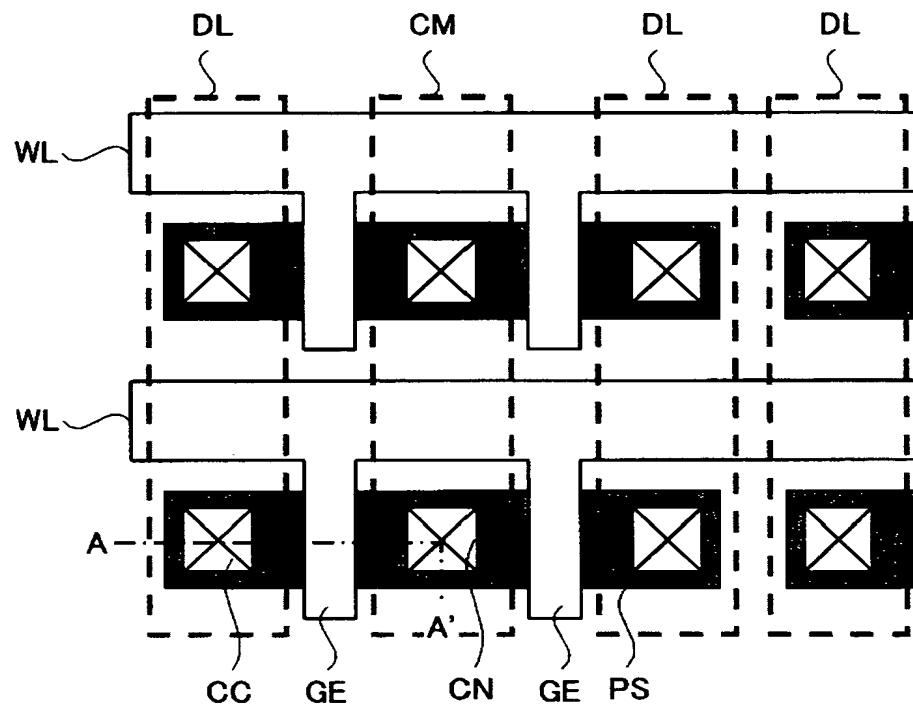


BEST AVAILABLE COPY

出証特 2003-3100704

【図 11】

図 11

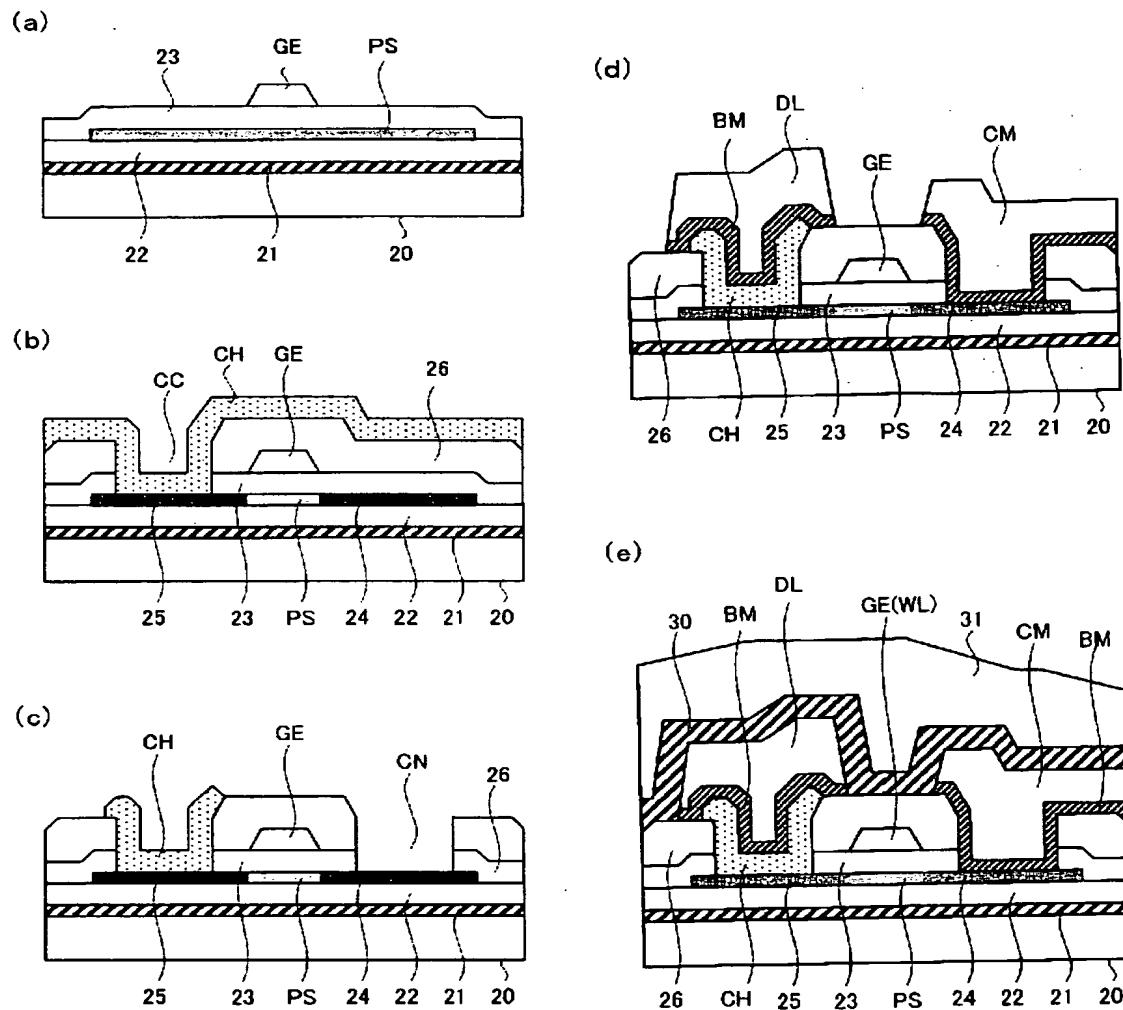


BEST AVAILABLE COPY

出証特 2003-3100704

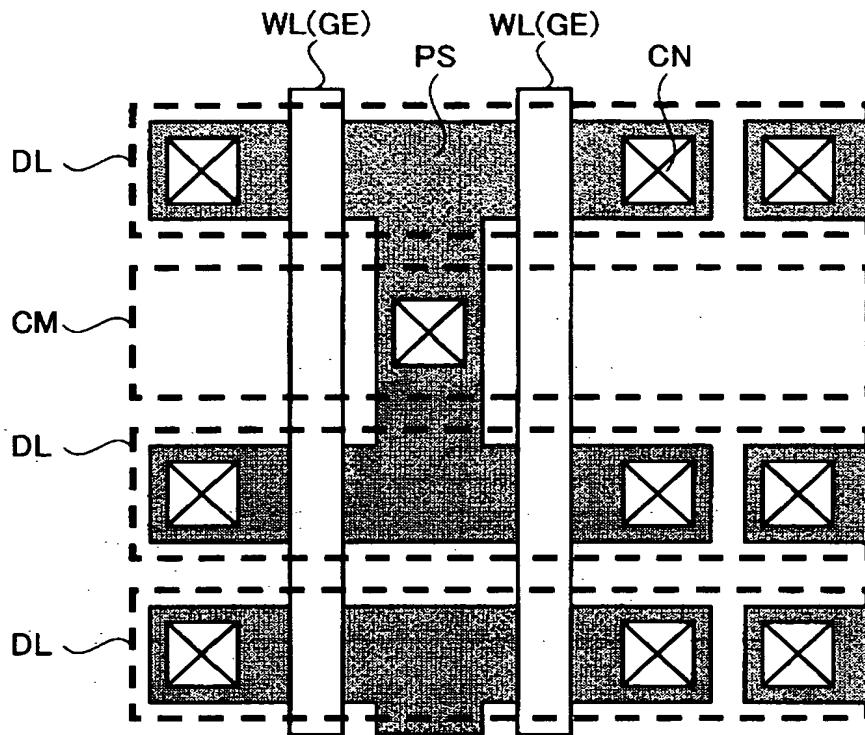
【図 12】

図 12



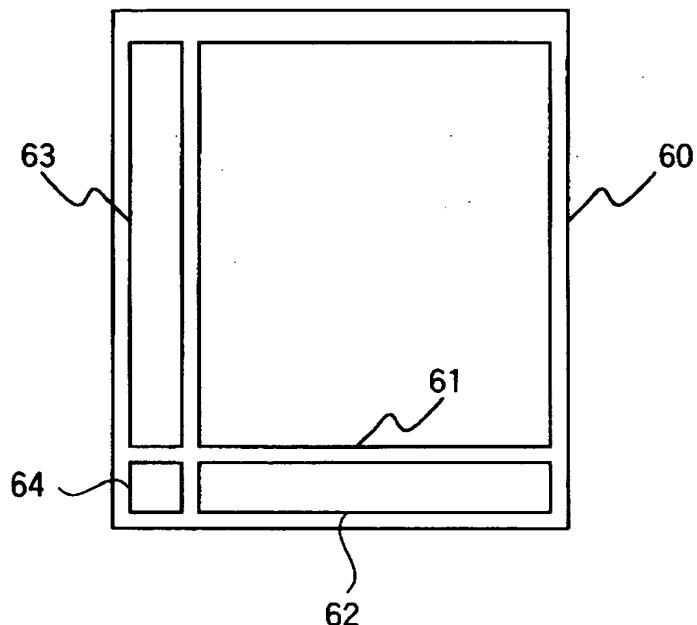
【図 13】

図 13



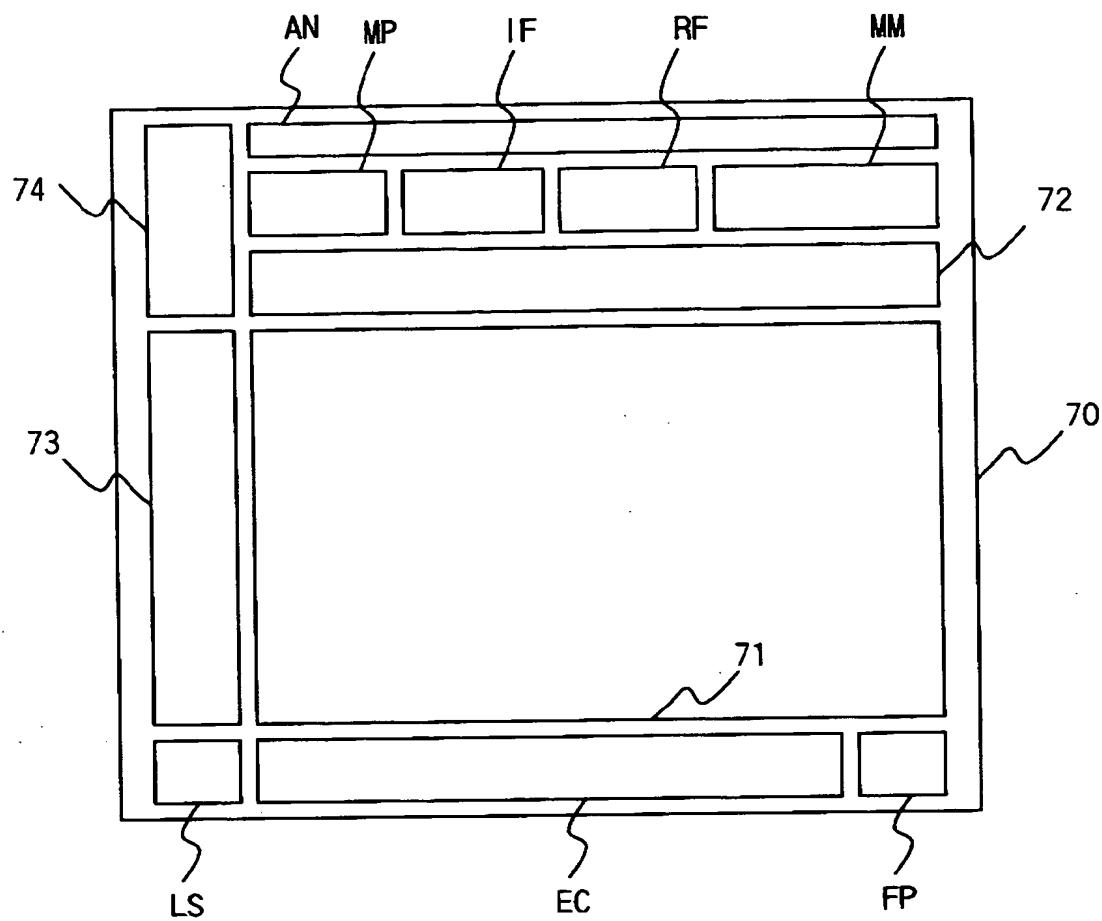
【図14】

図14



【図15】

図15

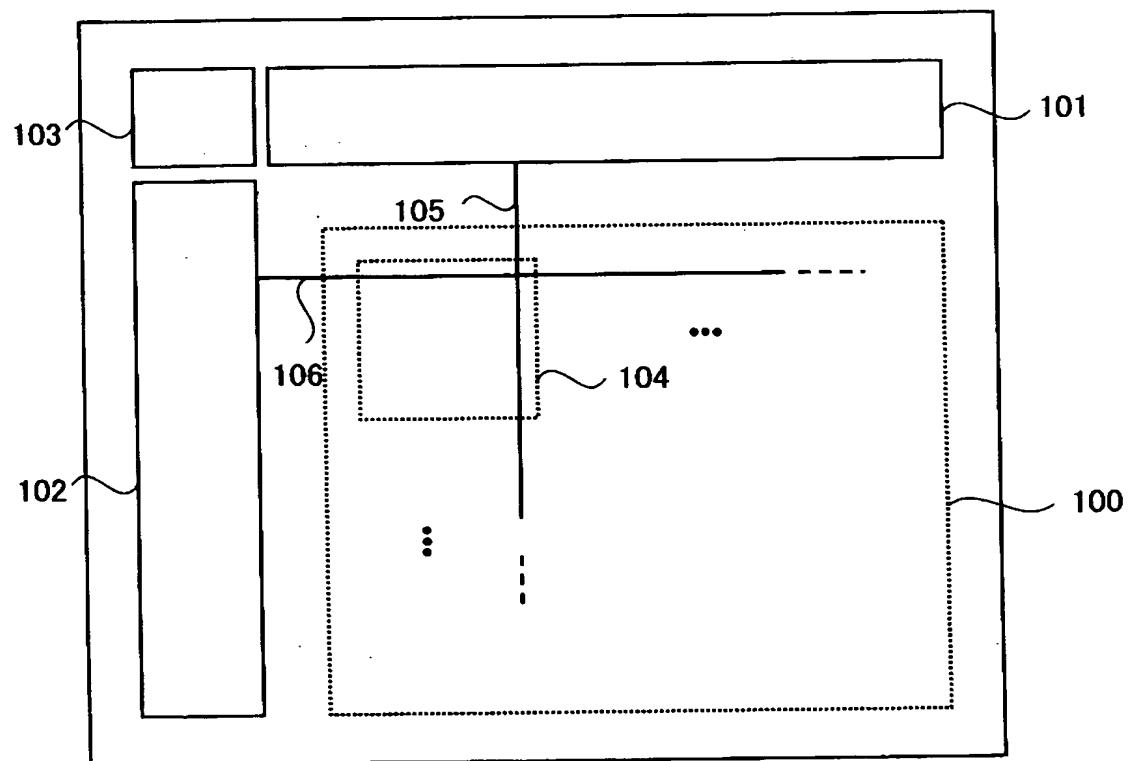


BEST AVAILABLE COPY

出証特2003-3100704

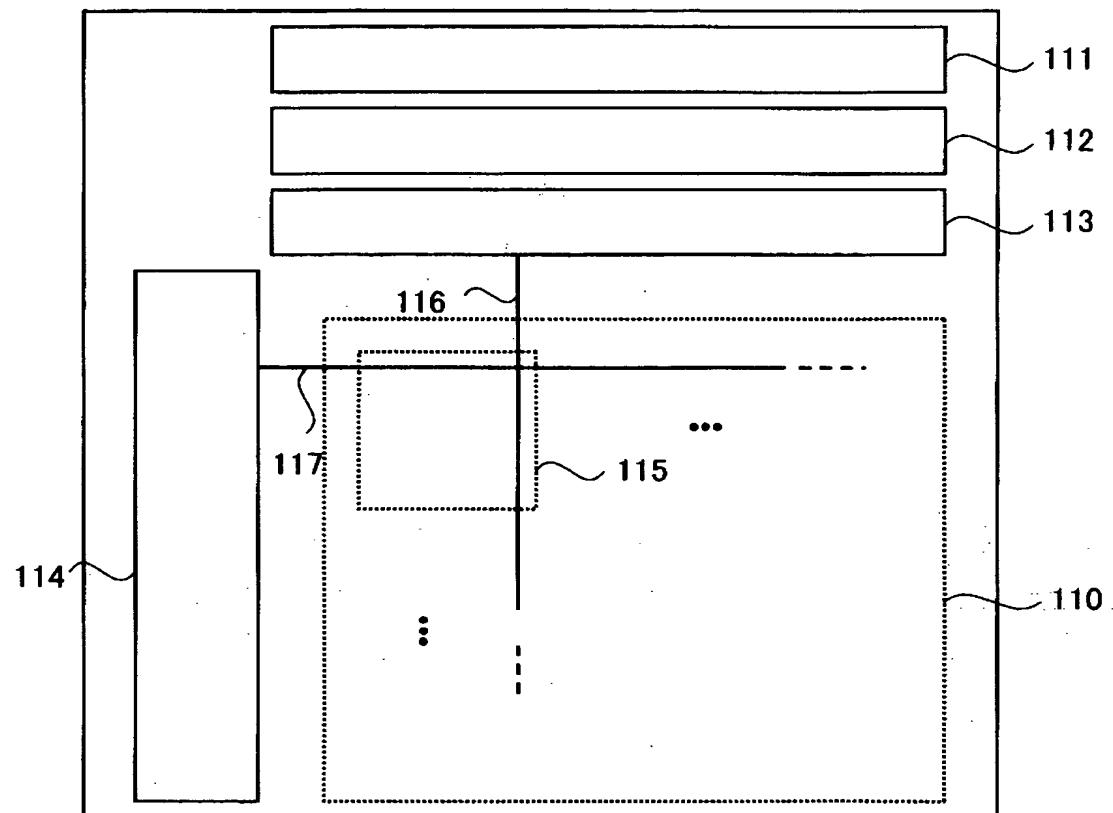
【図16】

図16



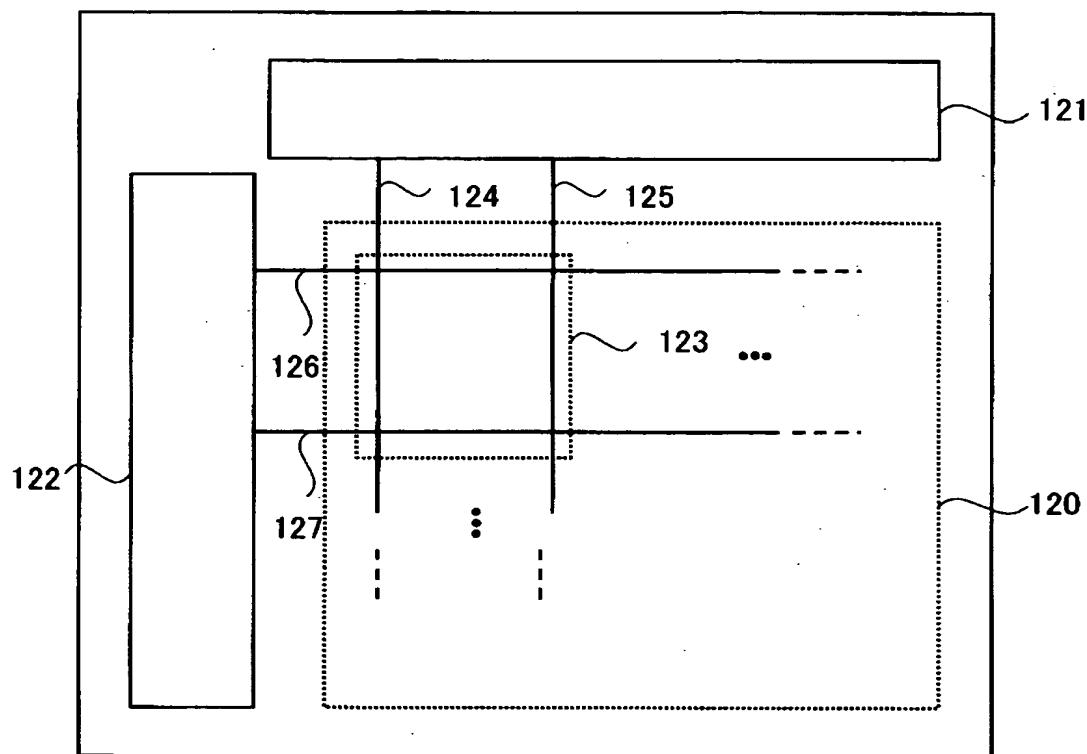
【図17】

図17



【図18】

図18



BEST AVAILABLE COPY

出証特 2003-3100704

【書類名】 要約書

【要約】

【課題】 画像表示装置の消費電力の削減と、メモリ回路面積縮小と、多ビットの画像データによる高画質表示を両立させる。

【解決手段】 複数の画素により構成された表示部と、表示部の制御を行う制御部とを有する画像表示装置において、各画素に、表示データを所定の時間以上記憶する、1個以上のスイッチと、カルコゲナイト材料を用いた可変抵抗記憶素子よりなる、不揮発性相変化画素メモリを設けるか、もしくは制御部に、1フレームの表示データを保持する、1個以上のスイッチと、カルコゲナイト材料を用いた可変抵抗記憶素子よりなる、不揮発性相変化フレームメモリを設ける。

【選択図】 図 1

## 認定・付加情報

特許出願の番号 特願 2003-174235  
受付番号 50301021391  
書類名 特許願  
担当官 第四担当上席 0093  
作成日 平成15年 6月20日

## &lt;認定情報・付加情報&gt;

【提出日】 平成15年 6月19日

次頁無



特願 2003-174235

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地  
氏名 株式会社日立製作所

特願 2003-174235

出願人履歴情報

識別番号 [502356528]

1. 変更年月日 2002年10月 1日

[変更理由] 新規登録

住所 千葉県茂原市早野3300番地  
氏名 株式会社 日立ディスプレイズ